

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

#5 / Priority
4/5/00
✓
J574 U.S. PTO
09/433705
11/04/99

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

1999年 7月22日

出願番号
Application Number:

平成11年特許願第206958号

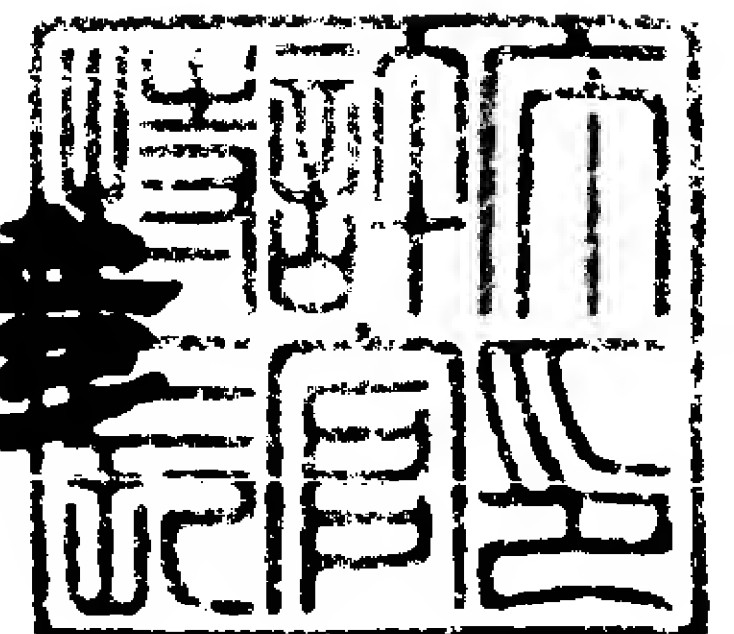
出願人
Applicant(s):

株式会社半導体エネルギー研究所

1999年 9月24日

特許庁長官
Commissioner,
Patent Office

近藤隆彦



出証番号 出証特平11-3065639

【書類名】 特許願

【整理番号】 P004259-02

【提出日】 平成11年 7月22日

【あて先】 特許庁長官 伊佐山 建志 殿

【国際特許分類】 H01L 21/00

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 山崎 舜平

【特許出願人】

 【識別番号】 000153878

 【氏名又は名称】 株式会社半導体エネルギー研究所

 【代表者】 山崎 舜平

【先の出願に基づく優先権主張】

 【出願番号】 平成10年特許願第327180号

 【出願日】 平成10年11月17日

【手数料の表示】

 【予納台帳番号】 002543

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及び半導体装置の作製方法

【特許請求の範囲】

【請求項 1】 半導体層と、前記半導体層に接して形成されたゲート絶縁膜と、前記ゲート絶縁膜を介して前記半導体層と交差するゲート電極とを有する薄膜トランジスタにおいて、

前記ゲート電極の側面が前記ゲート絶縁膜となす角度は 3 度以上 6 0 度以下であり、

前記半導体層は、

チャネル形成領域と、

導電性を有する第 1 の不純物領域と、

前記チャネル形成領域と前記第 1 の不純物領域に挟まれ、かつ前記チャネル形成領域に接する前記第 1 の不純物領域と同じ導電性の第 2 の不純物領域と、

前記第 1 の不純物領域と前記第 2 の不純物領域に挟まれ、前記第 1 の不純物と同じ導電性の第 3 の不純物領域と、
を有し、

前記第 2 の不純物領域は前記ゲート絶縁膜を介して前記ゲート電極と重なり、

前記第 3 の不純物領域は前記ゲート電極と重ならず、

前記第 2 の不純物領域及び前記第 3 の不純物領域は、前記導電性の不純物の濃度が前記第 1 の不純物領域よりも低いことを特徴とする薄膜トランジスタ。

【請求項 2】 請求項 1 において、

前記第 2 の不純物領域は、前記チャネル形成領域から前記第 1 の不純物領域に向かって、前記導電性の不純物の濃度が高くなっていることを特徴とする薄膜トランジスタ。

【請求項 3】 半導体層と、前記半導体層に接して形成されたゲート絶縁膜と、前記ゲート絶縁膜を介して前記半導体層と交差するゲート電極とを有する薄膜トランジスタであって、

前記ゲート電極は、

前記ゲート絶縁膜に接して形成された第 1 のゲート電極と、

前記第 1 のゲート電極表面に接し、前記第 1 のゲート電極よりもチャンネル長方向の幅が狭い第 2 のゲート電極と、
を有し、

前記第 1 のゲート電極の側面が前記ゲート絶縁膜となす角度は 3 度以上 6 0 度以下であり、

前記半導体層は、

チャンネル形成領域と、

導電型を有する第 1 の不純物領域と、

前記チャンネル形成領域と前記第 1 の不純物領域に挟まれ、かつ前記チャンネル形成領域に接する前記第 1 の不純物領域と同じ導電型の第 2 の不純物領域と、

前記第 1 の不純物領域と前記第 2 の不純物領域に挟まれた前記第 1 の不純物と同じ導電型の第 3 の不純物領域と、
を有し、

前記第 2 の不純物領域は前記ゲート絶縁膜を介して前記第 1 のゲート電極と重なり、

前記第 3 の不純物領域は前記第 1 のゲート電極と重ならず、

前記第 2 の不純物領域及び前記第 3 の不純物領域において、前記導電型の不純物濃度は前記第 1 の不純物領域よりも低いことを特徴とする薄膜トランジスタ。

【請求項 4】 請求項 3 において、

前記第 2 の不純物領域は、前記チャンネル形成領域から前記第 1 の不純物領域に向かって、前記導電型の不純物の濃度が高くなっていることを特徴とする薄膜トランジスタ。

【請求項 5】 半導体層と、前記半導体層に接して形成されたゲート絶縁膜と、前記ゲート絶縁膜を介して前記半導体層と交差するゲート電極とを有する薄膜トランジスタでなる回路を含んだ半導体装置であって、

前記ゲート電極の側面が前記ゲート絶縁膜となす角度は 3 度以上 6 0 度以下であり、

前記半導体層は、

チャンネル形成領域と、

前記チャネル形成領域の外側に形成された導電型を有する第 1 の不純物領域と、

前記チャネル形成領域と前記第 1 の不純物領域に挟まれ、かつ前記チャネル形成領域に接する前記第 1 の不純物領域と同じ導電型の第 2 の不純物領域と、

前記第 1 の不純物領域と前記第 2 の不純物領域に挟まれた前記第 1 の不純物と同じ導電型の第 3 の不純物領域と、
を有し、

前記第 2 の不純物領域は前記ゲート絶縁膜を介して前記ゲート電極と重なり、

前記第 3 の不純物領域は前記ゲート電極と重ならず、

前記第 2 の不純物領域及び前記第 3 の不純物領域は、前記導電型の不純物濃度が前記第 1 の不純物領域よりも低いことを特徴とする半導体装置。

【請求項 6】 請求項 5 において、

前記第 2 の不純物領域は、前記チャネル形成領域から前記第 1 の不純物領域に向かって、前記導電型の不純物の濃度が高くなっていることを特徴とする半導体装置。

【請求項 7】 請求項 5 又は 6 において、

前記薄膜トランジスタに容量が接続され、

前記容量は、半導体層と、前記容量の半導体層表面に接する誘電体膜と、前記誘電体膜に接する電極を有することを特徴とする半導体装置。

【請求項 8】 請求項 7 において、

前記容量の半導体層は、第 1 の不純物領域と同じ導電型の第 4 の不純物領域と、前記導電型の不純物の濃度が前記チャネル形成領域と同じ領域とを有することを特徴とする半導体装置。

【請求項 9】 請求項 6 乃至 8 のいずれか一項において、

前記薄膜トランジスタの半導体層と前記容量の半導体層は一体であることを特徴とする半導体装置。

【請求項 10】 請求項 5 乃至 9 のいずれか一項に記載の回路は、アクティブマトリクス型表示装置の画素マトリクス回路であることを特徴とする半導体装置。

【請求項 11】 請求項 5 乃至 10 のいずれか一項に記載の回路は、アクティブ

マトリクス型表示装置の画素マトリクス回路であって、前記半導体装置は液晶表示装置であることを特徴とする半導体装置。

【請求項 1 2】 請求項 5 乃至 1 1 のいずれか 1 項において、

前記半導体装置はビデオカメラ、デジタルカメラ、プロジェクタ、、ゴーグル型ディスプレイ、カーナビゲーションシステム、パーソナルコンピュータ又は携帯型情報端末であることを特徴とする半導体装置。

【請求項 1 3】 nチャネル型の薄膜トランジスタと pチャネル型薄膜トランジスタでなる CMOS 回路を含む半導体装置であって、

前記 n 型の薄膜トランジスタは、第 1 の半導体層と、前記第 1 の半導体層に接する第 1 のゲート絶縁膜と、前記第 2 のゲート絶縁膜を介して前記第 1 の半導体層と交差するゲート電極とを有し、

前記 p 型の薄膜トランジスタは、第 2 の半導体層と、前記第 2 の半導体層に接する第 2 のゲート絶縁膜と、前記第 2 のゲート絶縁膜を介して前記第 2 の半導体層と交差する第 2 のゲート電極を有し、

前記 n 型の薄膜トランジスタのゲート電極の側面がゲート絶縁膜となす角度は、3 度以上 6 0 度以下であり、

前記第 1 の半導体層は、

第 1 のチャネル形成領域と、

第 1 の n 型不純物領域と、

前記第 1 のチャネル形成領域と前記第 1 の n 型不純物領域挟まれ、かつ前記第 1 のチャネル形成領域に接する第 2 の n 型不純物領域と、

前記第 1 の n 型不純物領域と前記第 2 の n 型不純物領域に挟まれた第 3 の不純物領域と、

を有し、

前記第 2 の n 型不純物領域は前記第 1 のゲート絶縁膜を介して前記ゲート電極と重なり、

前記第 3 の n 型不純物領域は前記ゲート電極と重ならず、

前記第 2 の n 型不純物領域及び前記第 3 の n 型不純物領域は、n 型の不純物の濃度が前記第 1 の n 型不純物領域より低いことを特徴とする半導体装置。

【請求項 1 4】 nチャネル型の薄膜トランジスタと pチャネル型薄膜トランジスタでなる CMOS回路を備えた半導体装置であって、

前記 n型の薄膜トランジスタは、第 1の半導体層と、前記第 1の半導体層に接する第 1のゲート絶縁膜と、前記第 2のゲート絶縁膜を介して前記第 1の半導体層と交差するゲート電極を有し、

前記 p型の薄膜トランジスタは、第 2の半導体層と、前記第 2の半導体層に接する第 2のゲート絶縁膜と、前記第 2のゲート絶縁膜を介して前記第 2の半導体層と交差する第 2のゲート電極とを有し、

前記 n型の薄膜トランジスタのゲート電極の側面がゲート絶縁膜となす角度は、3度以上 60度以下であり、

前記第 1の半導体層は、

第 1のチャネル形成領域と、

第 1の n型不純物領域と、

前記第 1のチャネル形成領域と前記第 1の n型不純物領域挟まれ、かつ前記第 1のチャネル形成領域に接する第 2の n型不純物領域と、

前記第 1の n型不純物領域と前記第 2の n型不純物領域に挟まれた第 3の n型不純物領域と、

を有し、

前記第 2の n型不純物領域は前記第 1のゲート絶縁膜を介して前記第 1のゲート電極と重なり、

前記第 3の n型不純物領域は前記第 1のゲート電極と重ならず、

前記第 2の n型不純物領域及び前記第 3の n型不純物領域は、n型の不純物の濃度が前記第 1の n型不純物領域よりも低く、

前記第 2の半導体層は、

第 2のチャネル形成領域と、

第 1の p型不純物領域と、

前記第 2のチャネル形成領域と前記第 1の p型不純物領域に挟まれ、かつ前記第 2のチャネル形成領域に接する第 2の p型不純物領域と、

を有し、

前記第 2 の p 型不純物領域において、前記 n 型の不純物の濃度は前記第 1 の p 型不純物領域よりも低いことを特徴とする半導体装置。

【請求項 1 5】 請求項 1 4 において、

前記第 2 の p 型不純物領域は前記第 2 のゲート電極と重ならないことを特徴とする半導体装置。

【請求項 1 6】 請求項 1 3 又は 1 6 において

前記第 2 のゲート電極はチャネル長方向の幅が前記第 1 のゲート電極よりも狭いことを特徴とする半導体装置。

【請求項 1 7】 n チャネル型の薄膜トランジスタと p チャネル型薄膜トランジスタでなる CMOS 回路を含む半導体装置であって、

前記 n 型の薄膜トランジスタは、第 1 の半導体層と、前記第 1 の半導体層に接する第 1 のゲート絶縁膜と、前記第 2 のゲート絶縁膜を介して前記第 1 の半導体層と交差するゲート電極を有し、

前記 p 型の薄膜トランジスタは、第 2 の半導体層と、前記第 2 の半導体層に接する第 2 のゲート絶縁膜と、前記第 2 のゲート絶縁膜を介して前記第 2 の半導体層と交差するゲート電極を有し、

前記 n チャネル型薄膜トランジスタのゲート電極は、

第 1 のゲート絶縁膜に接して形成された第 1 のゲート電極層と、

前記第 1 のゲート電極表面に接し、前記第 1 のゲート電極よりもチャネル長方向の幅が狭い第 2 のゲート電極とを有し、

前記第 1 のゲート電極の側面と前記第 1 のゲート絶縁膜がなす角度は 3 度以上 6 0 度以下であり、

前記第 1 の半導体層は、

第 1 のチャネル形成領域と、

前記第 1 のチャネル形成領域の外側に形成された第 1 の n 型不純物領域と、

前記第 1 のチャネル形成領域と前記第 1 の n 型不純物領域挟まれ、かつ前記第 1 のチャネル形成領域に接する第 2 の n 型不純物領域と、

前記第 1 の n 型不純物領域と前記第 2 の n 型不純物領域に挟まれた第 3 の n 型不純物領域と、

を有し、

前記第 2 の n 型不純物領域は前記第 1 のゲート絶縁膜を介して前記第 1 のゲート電極と重なり、

前記第 3 の n 型不純物領域は前記第 1 のゲート電極と重ならず、

前記第 2 の n 型不純物領域及び前記第 3 の n 型不純物領域は、n 型の不純物の濃度が前記第 1 の n 型不純物領域よりも低く、

前記 p チャネル型薄膜トランジスタのゲート電極は、

前記第 2 のゲート絶縁膜に接する第 3 のゲート電極と、

前記第 3 のゲート電極に接する第 4 のゲート電極と、

を有することを特徴とする半導体装置。

【請求項 1 8】 n チャネル型の薄膜トランジスタと p チャネル型薄膜トランジスタでなる CMOS 回路を含む半導体装置であって、

前記 n 型の薄膜トランジスタは、第 1 の半導体層と、前記第 1 の半導体層に接する第 1 のゲート絶縁膜と、前記第 2 のゲート絶縁膜を介して前記第 1 の半導体層と交差するゲート電極を有し、

前記 p 型の薄膜トランジスタは、第 2 の半導体層と、前記第 2 の半導体層に接する第 2 のゲート絶縁膜と、前記第 2 のゲート絶縁膜を介して前記第 2 の半導体層と交差するゲート電極を有し、

前記 n チャネル型薄膜トランジスタのゲート電極は、

第 1 のゲート絶縁膜に接して形成された第 1 のゲート電極層と、

前記第 1 のゲート電極表面に接し、前記第 1 のゲート電極よりもチャネル長方向の幅が狭い第 2 のゲート電極とを有し、

前記第 1 のゲート電極の側面と前記第 1 のゲート絶縁膜がなす角度は 3 度以上 6 0 度以下であり、

前記第 1 の半導体層は、

第 1 のチャネル形成領域と、

前記第 1 のチャネル形成領域の外側に形成された第 1 の n 型不純物領域と、

前記第 1 のチャネル形成領域と前記第 1 の n 型不純物領域挟まれ、かつ前記第 1 のチャネル形成領域に接する第 2 の n 型不純物領域と、

前記第 1 の n 型不純物領域と前記第 2 の n 型不純物領域に挟まれた第 3 の n 型の不純物領域と、

を有し、

前記第 2 の n 型不純物領域は前記第 1 のゲート絶縁膜を介して前記第 1 のゲート電極と重なり、

前記第 3 の n 型不純物領域は前記第 1 のゲート電極と重ならず、

前記第 2 の n 型不純物領域及び前記第 3 の n 型不純物領域は、n 型の不純物の濃度が前記第 1 の n 型不純物領域よりも低く、

前記 p チャネル型薄膜トランジスタのゲート電極は、

前記第 2 のゲート絶縁膜に接する第 3 のゲート電極と、

前記第 3 のゲート電極に接する第 4 のゲート電極と、

を有し、

前記第 2 の半導体層は、

第 2 のチャネル形成領域と、

第 1 の p 型不純物領域と、

前記第 2 のチャネル形成領域と前記第 1 の p 型不純物領域に挟まれ、かつ前記第 2 のチャネル形成領域に接する第 2 の p 型不純物領域と、

を有し、

前記第 2 の p 型不純物領域は、前記 n 型の不純物の濃度が前記第 1 の p 型不純物領域よりも低いことを特徴とする半導体装置。

【請求項 1 9】 請求項 1 8 において、

前記第 2 の p 型不純物領域において、p 型の不純物濃度は前記第 1 の p 型の不純物濃度と同じであることを特徴とする半導体装置。

【請求項 2 0】 請求項 1 7 乃至 1 9 のいずれか一項において、

前記第 3 のゲート電極及び第 4 のゲート電極は、チャネル長方向の幅が前記第 1 のゲート電極より狭いことを特徴とする半導体装置。

【請求項 2 1】 請求項 1 7 乃至 2 0 のいずれか一項において、

前記第 2 の p 型不純物領域は前記第 4 のゲート電極と重ならないことを特徴とする半導体装置。

【請求項 2 2】 請求項 1 3 乃至 2 1 のいずれか一項において、

前記第 2 の n 型不純物領域において、前記第 1 のチャネル形成領域から前記第 1 の n 型不純物領域に向かって、前記 n 型の不純物の濃度が高くなっていることを特徴とする半導体装置。

【請求項 2 3】 請求項 1 3 乃至請求項 2 2 のいずれか 1 項に記載の回路は、アクティブマトリクス型表示装置のソースドライバ回路又はゲートドライバ回路であることを特徴とする半導体装置の作製方法。

【請求項 2 4】 請求項 1 3 乃至請求項 2 2 のいずれか 1 項に記載の回路は、アクティブマトリクス型表示装置のソースドライバ回路又はゲートドライバ回路であって、

前記半導体装置は液晶表示装置であることを特徴とする半導体装置。

【請求項 2 5】 請求項 1 3 乃至請求項 2 2 のいずれか 1 項において、

前記半導体装置はビデオカメラ、デジタルカメラ、プロジェクタ、ゴーグル型ディスプレイ、カーナビゲーションシステム、パーソナルコンピュータ又は携帯型情報端末であることを特徴とする半導体装置。

【請求項 2 6】

半導体層を形成する工程と、

前記半導体層に接して絶縁膜を形成する工程と、

前記絶縁膜を介して前記半導体層と交差する前記ゲート電極を形成する工程と

所定の導電型の不純物を前記ゲート電極を選択的に通過させて、前記半導体層に添加する工程と、

を有し、

前記ゲート電極の形成工程において、前記ゲート電極の側面が前記絶縁膜となす角度を 3 度以上 6 0 度以下にすることを特徴とする半導体装置の作製方法。

【請求項 2 7】

半導体層を形成する工程と、

前記半導体層に接して絶縁膜を形成する工程と、

前記絶縁膜を介して前記半導体層と交差する前記ゲート電極を形成する工程と

、
所定の導電型の不純物を前記ゲート電極を選択的に通過させて前記半導体層に添加する第 1 の添加工程と、

前記ゲート電極を通過させないで前記不純物を前記半導体層に添加する第 2 の添加工程と、

を有し、

前記ゲート電極の形成工程において、前記ゲート電極の側面が前記絶縁膜となす角度を 3 度以上 6 0 度以下にすることを特徴とする半導体装置の作製方法。

【請求項 2 8】 請求項 2 7 に記載の第 2 の添加工程において、

前記ゲート電極を覆い、かつ前記ゲート電極よりもチャンネル長方向の幅の広いマスクを用いて、前記半導体層に前記不純物を添加することを特徴とする半導体装置の作製方法。

【請求項 2 9】

半導体層を形成する工程と、

前記半導体層に接して絶縁膜を形成する工程と、

前記絶縁膜に接して第 1 の導電膜を形成する工程と、

前記第 1 の導電膜に接して第 2 の導電膜を形成する工程と、

前記第 1、第 2 の導電膜をパターニングして、前記第 1 の導電膜でなる第 1 のゲート電極と、該第 1 のゲート電極よりもチャンネル長方向の幅の狭い前記第 2 の導電膜でなる第 2 のゲート電極とが積層されたゲート電極を形成する工程と、

所定の導電型の不純物を前記第 1 のゲート電極を選択的に通過させて前記半導体層に添加する工程と、

を有し、

前記ゲート電極の形成工程において、前記第 1 のゲート電極の側面が前記絶縁膜となす角度を 3 度以上 6 0 度以下にすることを特徴とする半導体装置の作製方法。

【請求項 3 0】

半導体層を形成する工程と、

前記半導体層に接して絶縁膜を形成する工程と、

前記絶縁膜に接して第 1 の導電膜を形成する工程と、

前記第 1 の導電膜に接して第 2 の導電膜を形成する工程と、

前記第 1、第 2 の導電膜をパターニングして、前記第 1 の導電膜でなる第 1 のゲート電極と、該第 1 のゲート電極よりもチャンネル長方向の幅の狭い前記第 2 の導電膜でなる第 2 のゲート電極とが積層されたゲート電極を形成する工程と、

、
所定の導電型の不純物を前記第 1 のゲート電極を選択的に通過させて前記半導体層に添加する第 1 の添加工程と、

、
前記ゲート電極を通過させないで、前記導電型の不純物を前記半導体層に添加する第 2 の添加工程と、

を有し、

前記ゲート電極の形成工程において、前記第 1 のゲート電極の側面が前記絶縁膜となす角度を 3 度以上 6 0 度以下にすることを特徴とする半導体装置の作製方法。

【請求項 3 1】 請求項 3 0 に記載の第 2 の添加工程において、

前記第 1 のゲート電極を覆い、かつ前記第 1 のゲート電極よりもチャンネル長方向の幅の広いマスクを用いて、前記不純物を前記半導体層に添加することを特徴とする半導体装置の作製方法。

【請求項 3 2】 n チャンネル型の薄膜トランジスタと p チャンネル型薄膜トランジスタでなる CMOS 回路を備えた半導体装置の作製方法であって、

第 1 の半導体層と第 2 の半導体層を形成する工程と、

前記第 1 半導体層と前記第 2 の半導体層に接して絶縁膜を形成する工程と、

前記第 1 の半導体層と第 2 の半導体層と交差する n チャンネル型薄膜トランジスタのゲート電極と、前記第 2 の半導体層と交差する p チャンネル型薄膜トランジスタのゲート電極とを形成する第 1 のゲート電極形成工程と、

n 型の不純物を前記 n チャンネル型薄膜トランジスタのゲート電極を選択的に通過させて、前記第 1 の半導体層に添加する第 1 の添加工程と、

前記 n 型の不純物を前記 n チャンネル型薄膜トランジスタのゲート電極を通過させないで、前記第 1 の半導体層に添加する第 2 の添加工程と、

前記 p チャンネル型薄膜トランジスタのゲート電極をチャンネル長方向に細らせる

第 2 のゲート電極形成工程と、

前記 p チャネル型薄膜トランジスタのゲート電極をマスクにして、前記第 2 の半導体層に p 型の不純物を添加する第 3 の添加工程と、
を有し、

前記第 1 のゲート電極形成工程において、前記 n チャネル型薄膜トランジスタのゲート電極の側面が前記絶縁膜となす角度を 3 度以上 6 0 度以下にすることを特徴とする半導体装置の作製方法。

【請求項 3 3】 n チャネル型の薄膜トランジスタと p チャネル型薄膜トランジスタでなる CMOS 回路を備えた半導体装置の作製方法であって、

第 1 の半導体層と第 2 の半導体層を形成する工程と、

前記第 1 半導体層と前記第 2 の半導体層に接して絶縁膜を形成する工程と、

前記第 1 の半導体層と第 2 の半導体層と交差する n チャネル型薄膜トランジスタのゲート電極と、前記第 2 の半導体層と交差する p チャネル型薄膜トランジスタのゲート電極とを形成する第 1 のゲート電極形成工程と、

前記 p チャネル型薄膜トランジスタのゲート電極をチャネル長方向に細らせる第 2 のゲート電極形成工程と、

前記 p チャネル型薄膜トランジスタのゲート電極をマスクにして、前記第 2 の半導体層に p 型の不純物を添加する第 1 の添加工程と、

前記 n チャネル型薄膜トランジスタのゲート電極を選択的に通過させて、n 型の不純物を前記第 1 の半導体層に添加する第 2 の添加工程と、

前記 n チャネル型薄膜トランジスタのゲート電極を通過させないで、前記 n 型の不純物を前記第 1 の半導体層に添加する第 3 の添加工程と、
を有し、

前記第 1 のゲート電極形成工程において、前記 n チャネル型薄膜トランジスタのゲート電極の側面が前記絶縁膜となす角度を 3 度以上 6 0 度以下にすることを特徴とする半導体装置の作製方法。

【請求項 3 4】 n チャネル型の薄膜トランジスタと p チャネル型薄膜トランジスタでなる CMOS 回路を備えた半導体装置の作製方法であって、

第 1 の半導体層と第 2 の半導体層を形成する工程と、

前記第 1 半導体層と前記第 2 の半導体層に接して絶縁膜を形成する工程と、
 前記絶縁膜に接して第 1 の導電膜を形成する工程と、
 前記第 1 の導電膜に接して第 2 の導電膜を形成する工程と、
 前記第 1 の導電膜、第 2 の導電膜をパターニングして、前記第 1 の導電膜でなる第 1 のゲート配線と、該第 1 のゲート配線よりもチャネル長方向の幅の狭い前記第 2 の導電膜でなる第 2 のゲート配線とが積層されたゲート配線を形成する第 1 のゲート配線形成工程と、
 前記ゲート配線をマスクにして、前記第 1 のゲート配線を通して、n 型の導電型の不純物を前記第 1 の半導体層に添加する第 1 の添加工程と、
 前記第 1 のゲート配線を通してないで、前記 n 型の不純物を前記第 1 の半導体層に添加する第 2 の添加工程と、
 前記第 1 のゲート配線の前記第 2 の半導体層と交差している部分をチャネル長方向に細らせる第 2 のゲート配線形成工程と、
 前記ゲート配線をマスクにして、p 型の不純物を前記第 2 の半導体層に添加する第 3 の添加工程と、
 を有し、

前記第 1 のゲート配線形成工程において、前記第 1 のゲート配線の側面が前記絶縁膜となす角度を 3 度以上 6 0 度以下にする半導体装置の作製方法。

【請求項 3 5】 n チャネル型の薄膜トランジスタと p チャネル型薄膜トランジスタでなる CMOS 回路を備えた半導体装置の作製方法であって、

第 1 の半導体層と第 2 の半導体層を形成する工程と、
 前記第 1 半導体層と前記第 2 の半導体層に接して絶縁膜を形成する工程と、
 前記絶縁膜に接して第 1 の導電膜を形成する工程と、
 前記第 1 の導電膜に接して第 2 の導電膜を形成する工程と、
 前記第 1 の導電膜、第 2 の導電膜をパターニングして、前記第 1 の導電膜でなる第 1 のゲート配線と、該第 1 のゲート配線よりもチャネル長方向の幅の狭い前記第 2 の導電膜でなる第 2 のゲート配線とが積層されたゲート配線を形成する第 1 のゲート配線形成工程と、
 前記第 1 のゲート配線の前記第 2 の半導体層と交差している部分をチャネル長

方向に細らせる第 2 のゲート配線形成工程と、

前記ゲート配線をマスクにして、p 型の不純物を前記第 2 の半導体層に添加する第 1 の添加工程と、

前記ゲート配線をマスクにして、前記第 1 のゲート配線を通して、n 型の導電型の不純物を前記第 1 の半導体層に添加する第 2 の添加工程と、

前記第 1 のゲート配線を通してないで、前記 n 型の不純物を前記第 1 の半導体層に添加する第 3 の添加工程と、

を有し、

前記ゲート電極の形成工程において、前記第 1 のゲート配線の側面が前記絶縁膜となす角度が 3 度以上 6 0 度以下にすることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0 0 0 1】

【発明が属する技術分野】

本願発明は薄膜トランジスタ（以下、T F T という）及び薄膜トランジスタで構成された回路を有する半導体装置に関する。半導体装置として例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器の構成に関する。なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器も半導体装置である。

【0 0 0 2】

【従来の技術】

近年、ポリシリコン膜を利用した T F T で回路を構成したアクティブマトリクス型液晶表示装置が注目されている。これはマトリクス状に配置された複数の画素によって液晶にかかる電界をマトリクス状に制御し、高精細な画像表示を実現するものである。

【0 0 0 3】

この様なアクティブマトリクス型液晶表示装置は、解像度が XGA、SXGA と高精細になるに従い、画素数だけでも 1 0 0 万個を超えるようになる。そしてその全

てを駆動するためのドライバ回路は非常に複雑かつ多くの T F T によって形成される。

【 0 0 0 4 】

実際の液晶表示装置（液晶パネルともいう）に要求される仕様は厳しく、全ての画素が正常に動作するためには画素、ドライバともに高い信頼性が確保されなければならない。特に、ドライバ回路で異常が発生すると一列（または一行）の画素が全滅するといった線欠陥と呼ばれる不良を招くことにつながる。

【 0 0 0 5 】

ところが、ポリシリコン膜を利用した T F T は信頼性の面でまだまだ L S I などに用いられる M O S F E T （単結晶半導体基板上に形成されたトランジスタ）に及ばないとされている。そして、この弱点が克服されない限り、T F T で L S I 回路を形成することは困難であるとの見方が強まっている。

【 0 0 0 6 】

本出願人は、M O S F E T には信頼性の面で三つの有利点があると考えた。そしてその理由として次のような推論をした。図 2 8 （A）に示したのは M O S F E T の概略図である。1 は単結晶シリコン基板に形成されたドレイン領域、2 は L D D （ライトドープトドレイン）領域である。また、3 はフィールド絶縁膜であり、ゲート配線 4 の直下はゲート絶縁膜 5 である。

【 0 0 0 7 】

この時、信頼性の面で三つの有利点があると考えた。まず第 1 の有利点は、L D D 領域 2 からドレイン領域 1 に向かって不純物濃度に勾配がみられる点である。図 2 8 （B）に示すように、従来の M O S F E T は L D D 領域 2 からドレイン領域 1 に向かうにつれて次第に不純物濃度が高くなる。この勾配が信頼性を高めるのに効果があると考えた。

【 0 0 0 8 】

次に第 2 の有利点は、L D D 領域 2 とゲート配線 4 とがオーバーラップしている点である。この構造は G O L D （Gate Overlapped Light-doped Drain）や L T A I D （Large-Tilt-Angle Implanted Drain）などが知られている。こうすることで L D D 領域 2 の不純物濃度を低減することが可能となり、電界の緩和効果

が大きくなってホットキャリア耐性が高まる。

【 0 0 0 9 】

次に第 3 の有利点は、L D D 領域 2 とゲート配線 4 との間にある程度の距離が存在する点である。これはフィールド絶縁膜 3 がゲート配線直下に潜り込むような形で形成されることによる。即ち、オーバーラップ部分のみゲート絶縁膜の膜厚が厚くなった状態となるので、効果的な電界緩和が期待できる。

【 0 0 1 0 】

このように、従来の M O S F E T は T F T と比較するといくつかの利点をもち、その結果、高い信頼性を有すると考えられる。

【 0 0 1 1 】

また、こういった M O S F E T の利点を T F T に応用しようという試みもなされている。例えば、「M.Hatano,H.Akimoto,and T.Sakai,IEDM97 TECHNICAL DIGEST,p523-526,1997」ではシリコンで形成したサイドウォールを用いて G O L D 構造を実現している。

【 0 0 1 2 】

しかしながら、同論文に公開された構造では通常の L D D 構造に比べてオフ電流（T F T がオフ状態にある時に流れる電流）が大きくなってしまうという問題があり、そのための対策が必要であった。

【 0 0 1 3 】

【発明が解決しようとする課題】

以上示してきたように、本出願人は T F T と M O S F E T とを比較した時に、T F T の構造上の問題が信頼性（特にホットキャリア耐性）に影響していると考えた。

【 0 0 1 4 】

本願発明はそのような問題点を克服するための技術であり、M O S F E T と同等またはそれ以上の信頼性を誇る T F T を実現することを課題とする。そして、そのような T F T で回路を形成した半導体回路を有する信頼性の高い半導体装置を実現することを課題とするものである。

【 0 0 1 5 】

【課題を解決するための手段】

上述した課題を解決するために、本発明に係る薄膜トランジスタは、チャネルが形成される半導体層にソース領域またはドレイン領域として機能する n 型又は p 型の第 1 の不純物領域ほかに、チャネルと第 1 の不純物領域の間に 2 種類の第 1 の不純物領域と同じ導電型を示す不純物領域（第 2、第 3 の不純物領域）を有する。これら第 2、第 3 の不純物領域はその導電型を決める不純物濃度が第 1 の不純物領域よりも低く、高抵抗領域として機能する。

【0016】

第 2 の不純物領域はゲート絶縁膜を介してゲート電極と重なった GOLD 構造の低濃度不純物領域であり、ホットキャリア耐性を高める作用を有する。他方、第 3 の不純物領域はゲート電極と重ならない低濃度不純物領域であり、オフ電流の増加を防ぐ作用を有する。

【0017】

なお、ゲート電極とはゲート絶縁膜を挟んで半導体層と交差している電極であって、半導体層に電界を印可して空乏層を形成するための電極である。ゲート配線においては、ゲート絶縁膜を挟んで半導体層と交差している部分がゲート電極である。

【0018】

更に、本発明において、ゲート電極は、ゲート電極周囲は中央の平坦部から外側に向かって、その膜厚が線形に減少する。第 2 の不純物領域にはゲート電極のテーパ部を通して、導電型を付与する不純物が添加されるため、その濃度勾配はゲート電極の側面の傾斜（膜厚の変化）を反映することとなる。すなわち、第 2 の不純物領域へ添加される不純物が到達する深さは、チャネル形成領域から第 1 の領域に向かって深くなり、その不純物の濃度はチャネル形成領域から第 1 の領域に向かって増加することとなる。

【0019】

本発明において、他のゲート電極の構成においては、ゲート絶縁膜に接する第 1 のゲート電極と、第 1 のゲート電極上に形成された第 2 のゲート電極が積層されている。この構成において、第 1 のゲート電極が側面かゲート絶縁膜となす角

度は 3 度以上 6 0 度以下であるテーパー状となっている。他方、第 2 のゲート電極はチャネル長方向の幅が第 1 のゲート電極よりも狭くなっている。

【 0 0 2 0 】

上記の積層型のゲート電極を有する薄膜トランジスタにおいても、第 2 の不純物領域の不純物の濃度分布は第 1 のゲート電極の膜厚の変化を反映し、その不純物濃度はチャネル形成領域から第 1 の領域に向かって増加することとなる。

【 0 0 2 1 】

本発明に係る薄膜トランジスタは、半導体層に 2 種類の低濃度不純物領域を有することで、M O S F E T に匹敵する、さらにはそれ以上の信頼性を有する。

【 0 0 2 2 】

【 0 0 2 3 】

(本発明の薄膜トランジスタの利点)

本発明の T F T は第 2 不純物領域 (ゲートオーバーラップ型の L D D 領域) と第 3 不純物領域 (非ゲートオーバーラップ型の L D D 領域) という 2 種類の低濃度不純物を半導体層に形成することに特徴がある。

【 0 0 2 4 】

図 2 7 を用いて、本発明の優位性を従来の T F T の特性と比較して説明する。図 2 7 (A) 、 (B) は L D D 領域のない N T F T とその電気特性 (ゲート電圧 V_g 対ドレイン電流 I_d 特性) である。同様に、図 2 7 (C) 、 (D) は通常の L D D 構造の場合を、図 2 7 (E) 、 (F) はいわゆる G O L D 構造の場合を、そして図 2 7 (G) 、 (H) には本発明の N T F T の場合を示す。

【 0 0 2 5 】

なお、図面中において n^+ はソース領域またはドレイン領域を、channel はチャネル形成領域を、 n^- は非ゲートオーバーラップ型の L D D 領域 (n^- は第 3 の不純物領域) を指す。また、 I_d はドレイン電流、 V_g はゲート電圧である。

【 0 0 2 6 】

図 2 7 (A) 、 (B) に示すように L D D がいない場合、オフ電流は高く、オン電流 (T F T がオン状態にある時のドレイン電流) やオフ電流が劣化しやすい。

【 0 0 2 7 】

一方ゲートオーバーラップ型のLDDを形成することで、オフ電流はかなり抑えられ、オン電流もオフ電流も劣化が抑制できる。しかしながら、オン電流の劣化を完全に抑えられているわけではない。(図 2 7 (C)、(D))

【0 0 2 8】

LDD領域とゲート電極とがオーバーラップしたオーバーラップ型のLDDのみを持つTFE構造(図 2 7 (C)、(D))であるが、この構造は従来のLDD構造においてオン電流の劣化を抑制することに重点を置いた構造となっている。

【0 0 2 9】

この場合、オン電流の劣化を十分に抑えることができる反面、通常の非オーバーラップ型のLDD構造よりもややオフ電流が高いという問題を持つ。従来例で述べた論文はこの構造を採用しており、本発明はこのオフ電流が高いという問題を認識した上で、解決するための構造を模索したのである。

【0 0 3 0】

そして、本発明の構造は図 2 7 (G)、(H)に示すように、ゲート電極とオーバーラップさせたLDD領域(第2の不純物領域)と、ゲート電極とオーバーラップしないLDD領域(第3の不純物領域)を半導体層に形成した。この構造を採用することで、オン電流の劣化を抑制する効果をそのままに、オフ電流を低減することが可能となった。

【0 0 3 1】

本出願人は図 2 7 (E)、(F)に示したような構造の場合に何故オフ電流が高くなってしまいかを次のように推測した。nチャネル型TFEがオフ状態にある時、ゲート電極にはマイナス数十ボルトといった負の電圧が印加される。その状態でドレイン領域にプラス数十ボルトの正の電圧がかかっていると、ゲート絶縁膜のドレイン側端部に非常に大きな電界が形成される。

【0 0 3 2】

この時、LDD領域にはホールが誘起されて、ドレイン領域、LDD領域、チャネル形成領域をつなぐ小数キャリアによる電流経路が形成されてしまう。この電流経路がオフ電流の増加を招くと予想される。

【 0 0 3 3 】

本出願人は、このような電流経路を途中で遮断するために、ゲート電極とオーバーラップしない位置に別の抵抗体、即ち第 3 の不純物領域 L D D 領域を形成する必要があると考えた。本発明はこのような構成を有する薄膜トランジスタと、この薄膜トランジスタを用いた回路に関するものである。

【 0 0 3 4 】

【発明の実施の形態】

図 1 ～図 7 を用いて、本発明の実施形態について説明する。

【 0 0 3 5 】

〔実施形態 1〕 本実施形態は T F T の作製工程について説明する。図 1 ～図 4 を用いて、本実施形態の作製工程を説明する。

【 0 0 3 6 】

まず、基板 1 0 0 全面に下地膜 1 0 1 を形成し、下地膜 1 0 1 上に、島状の半導体層 1 0 3 を形成する。半導体層 1 0 2 を覆って基板 1 0 0 全面に、ゲート絶縁膜となる絶縁膜 1 0 3 を形成する。（図 1 （A））

【 0 0 3 7 】

基板 1 0 0 には、ガラス基板、石英基板、結晶性ガラス基板、ステンレス基板、ポリエチレンテレフタレート（P E T）等の樹脂基板を用いることができる。

【 0 0 3 8 】

下地膜 1 0 1 は、半導体層 1 0 3 に基板からナトリウムイオンなどの不純物が拡散するのを防いだり、基板 1 0 0 上に形成される半導体膜の密着性を高めるための膜である。下地膜 1 0 1 には、酸化シリコン膜や、窒化シリコン膜、窒化酸化シリコン膜等の無機絶縁膜の単層又は多層膜が使用できる。

【 0 0 3 9 】

例えば、下地膜は C V D 法やスパッタ法などで成膜した膜だけでなく、石英基板のような耐熱性基板を用いた場合には、非晶質シリコン膜を成膜し熱酸化して、酸化シリコン膜を形成してもよい。

【 0 0 4 0 】

半導体層 1 0 2 材料は T F T に求められる特性に合わせて選択すればよい。非

晶質シリコン、非晶質シリコンゲルマニウム、非晶質ゲルマニウム、又はこれら非晶質半導体膜をレーザ照射や加熱処理によって結晶化させた結晶性シリコン、結晶性ゲルマニウムや結晶性シリコンゲルマニウムを用いることができる。半導体層 1 0 2 の厚さは 1 0 ~ 1 5 0 n m とする。

【 0 0 4 1 】

絶縁膜 1 0 3 はゲート絶縁膜を構成する膜である。プラズマ C V D 法、スパッタ法で成膜される酸化シリコン、窒化シリコン、窒化酸化シリコンの無機絶縁膜の単層膜、多層膜が用いられる。例えば、積層膜とする場合には、窒化酸化シリコン膜と酸化シリコンの 2 層膜や、窒化シリコン膜を酸化シリコンで挟んだ積層膜などが用いられる。

【 0 0 4 2 】

絶縁膜 1 0 3 上には、ゲート電極（ゲート配線）を構成する第 1 の導電膜 1 0 4、第 2 の導電膜 1 0 5 を形成する。（図 1（B））

【 0 0 4 3 】

第 1 の導電膜 1 0 4 はテーパー部を有する第 1 のゲート電極（第 1 のゲート配線） 1 0 8 を構成する。このため、テーパーエッチングが容易にできる材料が望まれる。例えば、クロム（C r）、タンタル（T a）を主成分（組成比が 5 0 % 以上）とする材料、リンを含有する n 型のシリコンが代表的に用いられる。またチタン（T i）、タングステン（W）、モリブデン（M o）等を主成分とする材料を用いることができる。またこれらの材料の単層膜だけでなく、多層膜を用いることができ、例えば、タンタル膜を窒化タンタル（T a N）膜で挟んだ 3 層膜を用いることができる。

【 0 0 4 4 】

第 2 の導電膜 1 0 5 は第 2 のゲート電極（第 2 のゲート配線） 1 0 9 を構成する膜であり、アルミニウム（A l）、銅（C u）、クロム（C r）、タンタル（T a）チタン（T i）、タングステン（W）、モリブデン（M o）を主成分（組成比が 5 0 % 以上）とする材料、リンを含有する n 型のシリコン、シリサイド等の材料で形成することができる。ただし、第 1 の導電膜と第 2 の導電膜は互いのパターニングにおいて、エッチング選択比が取れる材料を選択する必要がある。

【0045】

例えば、第1の導電膜104／第2の導電膜105としては、n型Si／Ta、n型Si／Ta-Mo合金、Ta／Al、Ti／Al等の組み合わせを選択することができる。また、材料の選択する他の指標として、第2の導電膜105はできるだけ低効率の低い、少なくとも第1の導電膜104よりもシート抵抗が低い材料とすることが望まれる。これは、ゲート配線と上層配線との接続を第2のゲート配線でとるためである。

【0046】

次に、第2の導電膜105上にレジストマスク106を形成する。マスク106を用いて第2の導電膜105をエッチングして第2のゲート電極109を形成する。エッチングには等方性のウェットエッチングを用いればよい。(図1(C))

【0047】

同じレジストマスク106を用いて、第1の導電膜104を異方性エッチング(いわゆるテーパエッチング)して、第1のゲート電極(第1のゲート配線)108を形成する。なお、このエッチング用に新しいレジストマスクを形成することもできる。

【0048】

このエッチングにより、図3に示すように、ゲート電極108の側面がゲート絶縁膜となすテーパ角 θ は3度以上60度以下とされる。このテーパ角 θ は好ましくは5度以上45度以下、より好ましくは7度以上20度以下とする。角 θ が小さいほどゲート電極108のテーパ部の膜厚の変化が小さくなり、これに対応して、テーパ部と交差する部分の半導体層の不純物濃度の変化が緩やかになる。

【0049】

テーパ角 θ はテーパ部の幅WGと、厚さHGを用いて、 $\tan \theta = HG/LG$ と定義できる。

【0050】

レジストマスク106を除去し、ゲート電極108、109をマスクにして半

導体層 1 0 2 に n 型又は p 型の不純物を添加する。添加方法としては、イオン注入法、イオンドーピング法を用いることができる。n 型の不純物はドナーとなる不純物であり、シリコン、ゲルマニウムに対しては 1 3 族元素であり、典型的にはりん (P)、ひ素 (As) である。p 型の不純物はアクセプターとなる不純物であり、シリコン、ゲルマニウムに対しては 1 5 族元素であり、典型的には、ボロン (B) である。

【 0 0 5 1 】

ここでは、リンをイオンドーピング法にて添加し、 n^{-} 型の不純物領域 1 1 1、1 2 1 を形成する。この添加工程において、 n^{-} 型の第 2 の不純物領域 1 2 4、1 2 5、 n^{-} 型の第 3 の不純物領域 1 2 6、1 2 7 における n 型の不純物の濃度分布が決定される。(図 2 (A))

【 0 0 5 2 】

次にゲート電極 1 0 8、1 0 9 を覆ってレジストマスク 1 2 0 を形成する。このマスク 1 2 0 によって、第 3 の不純物領域の長さが決定される。レジストマスク 1 2 0 を介して、再びイオンドーピング法により n 型の不純物であるリンを半導体層 1 0 2 に添加する。(図 2 (B))

【 0 0 5 3 】

このドーピング工程により、レジストマスク 1 2 0 で覆われていない n^{-} 型不純物領域 1 1 1、1 2 1 に選択的にリンが添加されて、 n^{+} 型の第 1 の不純物領域 1 2 2、1 2 3 が形成される。又、第 2 のゲート電極 1 0 9 で覆われていた領域 1 2 1 は図 2 (A)、(B) の添加工程でリンが添加されないため、チャネル形成領域となる。

【 0 0 5 4 】

また、図 2 (B) の n^{-} 型の不純物領域 1 1 1、1 1 2 で添加工程でリンが添加されなかった領域は、第 1 のゲート電極 1 0 8 と重なっている (オーバーラップ) している領域 1 2 4、1 2 5 は n^{-} 型の第 2 の不純物領域となり、第 1 の電極 1 0 8 と重なっていない領域は n^{-} 型の第 3 の不純物領域 1 2 6、1 2 7 となる。

【 0 0 5 5 】

なお、図 2（B）の添加工程に先立ってゲート配線をマスクにして、絶縁膜 1 0 3 をエッチングして、半導体層 1 0 2 表面を露出させても良い。

【 0 0 5 6 】

図 4 に示すように、第 2 の不純物領域 1 2 4 は 4 つのタイプに分類できる。これらを区別するため、図 4 において A、B、C、D の指標を付けた。なお、図 4 には図示されないがゲート電極 1 0 9 を挟んで対照的に形成されている他方の第 2 の不純物領域 1 2 5 も領域 1 2 4 と同様である。

【 0 0 5 7 】

図 4（A）に示すように、第 2 の不純物領域 1 2 4 A にリンが存在する深さは、第 1 のゲート電極 1 0 8 のテーパ部の膜厚の変化に対応して逆比例し、第 1 の不純物領域 1 2 2 側では全膜厚にリンが存在するが、チャネル形成領域 1 2 1 A に向かって深さが浅くなり、チャネル形成領域 1 2 1 A との接合部分ではリンがほとんど添加されない。この場合、チャネル長 L_A は第 2 のゲート電極 1 0 9 のチャネル長方向の幅になる。

【 0 0 5 8 】

また、図 2（A）のリン添加工程で、図 4（A）の場合よりも加速電圧を大きくすることにより、図 4（B）に示すように、第 2 の不純物領域 1 2 4 B には、チャネル形成領域 1 2 2 B との接合部分にもリンがある程度の深さまで添加される。この場合、チャネル長 L_B は第 2 のゲート電極 1 0 9 のチャネル長方向の幅になる。また、図 4（A）と同じ加速電圧であっても、テーパ角が大きい場合やテーパ部の膜厚が厚い場合にも、第 2 の不純物領域 1 2 4 B を得ることができる。

【 0 0 5 9 】

更に加速電圧を大きくすることにより、図 4（C）に示すように、第 2 の不純物領域 1 2 4 B は半導体層の全膜厚に渡ってリンが添加される。この場合は、チャネル長 L_C は第 2 のゲート電極 1 0 9 のチャネル長方向の幅になる。

【 0 0 6 0 】

また、図 2（A）のリン添加工程で、図 4（A）の場合よりも加速電圧を小さくすると、図 4（D）に示すように、半導体層 1 0 2 の第 1 のゲート電極のテー

パー部に交差している領域全てにリンを添加することができなく、テーパー部の膜厚が薄くなっている部分に選択的に添加される。

【0061】

この場合の第2の不純物領域124Dにリンが存在する深さは第1の不純物領域122からチャネル形成領域121Dに向かって浅くなる。また第2の不純物領域124Cとチャネル形成領域121Dとの接合部は第1のゲート電極108のテーパー部の下に存在し、チャネル長LDは第2のゲート電極109のチャネル長方向の幅よりも広くなる。また、図4(A)と同じ加速電圧であっても、テーパー角が小さい場合や、第1のゲート電極108のテーパー部の膜厚が薄い場合にも、第2の不純物領域124Cを得ることができる。

【0062】

ここで、第1不純物領域122、123の長さ（チャネル長方向）は2～20 μm （代表的には3～10 μm ）である。ま半導体層に導電性を与える不純物（この場合にはリンである）の濃度は $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ （代表的には $1 \times 10^{20} \sim 5 \times 10^{20} \text{ atoms/cm}^3$ ）である。この第1不純物領域122、123はソース配線又はドレイン配線とTFETとを電氣的に接続させるための低抵抗領域であり、ソース領域またはドレイン領域となる。

【0063】

また、第2不純物領域124、125の長さは0.1～1 μm （代表的には0.1～0.5 μm 、好ましくは0.1～0.2 μm ）であり、リンの濃度は $1 \times 10^{15} \sim 1 \times 10^{17} \text{ atoms/cm}^3$ （代表的には $5 \times 10^{15} \sim 5 \times 10^{16} \text{ atoms/cm}^3$ 、好ましくは $1 \times 10^{16} \sim 2 \times 10^{16} \text{ atoms/cm}^3$ ）であり、第1のゲート電極108を通して不純物が添加されるため、リンの濃度は第1、第3の不純物領域よりも低くなる。

【0064】

また、第3不純物領域126、127の長さは0.5～2 μm （代表的には1～1.5 μm ）であり、リンの濃度は $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ （代表的には $1 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ 、好ましくは $5 \times 10^{17} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ ）である。

【 0 0 6 5 】

また、チャネル形成領域 1 2 2 は真性半導体層でなり第 1 の不純物に添加された不純物（リン）を含まない、又はボロンの濃度が $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ のである。ボロンはしきい値電圧の制御用やパンチスルー防止用の不純物であり、同様の効果を生むものであれば他の元素で代用することもできる。その場合も濃度はボロンと同じになる。

【 0 0 6 6 】

なお、第 1 の不純物領域 1 2 2、1 2 3 と第 2 の不純物領域 1 2 4、1 2 5 の間に、ゲート電極と重ならない低濃度不純物領域（第 3 の不純物領域 1 2 6、1 2 7）を 1 つ形成したが、この部分に、不純物濃度が互いに異なる不純物領域を 2 以上形成することもできる。本発明では、少なくとも第 1 の不純物領域 1 2 2、1 2 3 と第 2 の不純物領域 1 2 4、1 2 5 の間に、第 1 の不純物領域 1 2 2、1 2 3 よりも不純物（リン）濃度が低く、抵抗が高い不純物領域が少なくとも 1 つ存在すればよい。

【 0 0 6 7 】

第 1 の不純物領域 1 2 2、1 2 3 が形成したら、レジストマスク 1 2 0 を除去する。熱処理して、半導体層 1 5 2 に添加されたリンを活性化する。活性化工程には、熱処理だけでなくレーザや、赤外ランプ光による光アニールを行うこともできる。

【 0 0 6 8 】

次に、酸化シリコン等でなる層間絶縁膜 1 3 0 を形成する。ゲート絶縁膜 1 0 3、層間絶縁膜 1 3 0 に第 1 の不純物領域 1 2 2、1 6 3、及び第 2 のゲート配線 1 0 9 に達するコンタクトホールを形成する。そして、ソース電極 1 3 1、1 ドレイン電極 1 3 2、及び図示しないゲート配線の取り出し電極を形成する。

〔実施形態 2〕 図 5、図 6 を用いて、本実施形態は T F T の作製工程について説明する。本実施形態は実施形態 1 において、ゲート電極（ゲート配線）の構造の変形例である。

【 0 0 6 9 】

実施形態 1 ではゲート電極は幅の異なる 2 つのゲート電極が積層された構造で

あったが、本実施形態は上部の第 2 の電極を省略し、テーパー部を有する第 1 のゲート電極層でのみ電極を形成する。

【0 0 7 0】

まず、基板 1 5 0 全面に下地膜 1 5 1 を形成し、下地膜 1 5 1 上に、島状の半導体層 1 5 2 を形成する。半導体層 1 5 2 を覆って基板 1 5 0 全面に、ゲート絶縁膜となる絶縁膜 1 5 3 を形成する。(図 5 (A))

【0 0 7 1】

ゲート絶縁膜 1 5 3 上にゲート電極(ゲート配線)を構成する導電膜 1 5 4 を形成する。この導電膜 1 5 4 は、テーパーエッチングが容易にできる材料が望まれる。例えば、クロム(Cr)、タンタル(Ta)を主成分(組成比が 5 0 %以上)とする材料、リンを含有する n 型のシリコンが代表的に用いられる。またチタン(Ti)、タングステン(W)、モリブデン(Mo)等を主成分とする材料を用いることができる。またこれらの材料の単層膜だけでなく、多層膜を用いることができ、例えば、タンタル膜を窒化タンタル(TaN)膜で挟んだ 3 層膜を用いることができる。(図 5 (B))

【0 0 7 2】

次に、導電膜 1 5 4 上にレジストマスク 1 5 5 を形成する。マスク 1 5 5 を用いて導電膜 1 5 4 をエッチングしてゲート電極(ゲート配線) 1 5 6 を形成する。(図 5 (C))

【0 0 7 3】

このエッチングにより、図 3 に示すように、ゲート電極 1 5 6 の側面がゲート絶縁膜となすテーパー角 θ は 3 度以上 6 0 度以下とされる。このテーパー角 θ は好ましくは 5 度以上 4 5 度以下、より好ましくは 7 度以上 2 0 度以下とする。

【0 0 7 4】

レジストマスク 1 5 5 が存在した状態で、半導体層 1 0 2 に n 型又は p 型の不純物を添加する。ここでは、リンをイオンドーピング法にて添加し、 n^- 型の不純物領域 1 5 8、1 5 9 形成する。この添加工程において、 n^- 型の第 2 の不純物領域 1 6 4、1 6 5、 n^- 型の第 3 の不純物領域 1 6 6、1 6 7 の濃度分布が決定される。(図 6 (A))

【0 0 7 5】

本実施形態では、第2のゲート電極が存在しないため、この添加工程では半導体層152のチャネルが形成される領域にリンが添加されるのを防ぐためのマスクが必要である。ここでは、導電膜154のエッチングに用いたレジストマスク155を用いたが、添加用に新たに形成することもできる。

【0 0 7 6】

次に、レジストマスク155を除去してゲート電極108、109を覆ってレジストマスク160を形成する。このマスク120によって、第3の不純物領域の長さが決定される。レジストマスク160を介して、再びイオンドーピング法によりn型の不純物であるリンを半導体層152に添加する。この添加工程に先立って、ゲート配線156をマスクにして、絶縁膜153をエッチングして、半導体層152表面を露出させても良い。(図6(B))

【0 0 7 7】

このドーピングにより、レジストマスク160で覆われていない n^- 型不純物領域158、159に選択的にリンが添加されて、 n^+ 型の第1の不純物領域162、163が形成される。またレジストマスク155及び160で覆われていた領域161は図6(A)、(B)の添加工程でリンが添加されないため、チャネル形成領域となる。

【0 0 7 8】

また、図6(B)の n^- 型の不純物領域158、159において、添加工程でリンが添加されなかった領域はゲート電極156と重なっている(オーバーラップ)領域であって、 n^- 型の第2の不純物領域164、165となる。第1の電極108と重なっていない領域は n^- 型の第3の不純物領域166、167となる。

【0 0 7 9】

本実施形態でも、実施形態1と同様に第2の不純物領域154、155は図4に示す4つのタイプに分類できる。本実施形態の場合には、チャネル長は第2のゲート電極109に代わって、図6(A)の添加工程に用いたレジストマスク155で決定される。

【 0 0 8 0 】

しかし、実施形態1のゲート電極は積層構造を有するため、第1のゲート電極108の厚さを薄くしても、第2のゲート電極109を厚くすることで低抵抗化が可能であるが、本実施形態のゲート電極156はテーパ部を有する単層電極でなるため、その膜厚は第1のゲート電極108よりも厚くなってしまう。

【 0 0 8 1 】

ゲート電極幅を考慮するとテーパ部の幅WGの長さに限度があり、第2の不純物領域164、165の不純物の濃度分布は図4（D）に示すタイプとなるのが最も実用的である。

【 0 0 8 2 】

また、チャネル形成領域151、第1～第3の不純物領域152～157について、チャネル長方向の長さや不純物濃度は実施形態と同様である。

【 0 0 8 3 】

なお、第1の不純物領域162、163と第2の不純物領域164、165の間に、ゲート電極と重ならない低濃度不純物領域（第3の不純物領域166、167）を1つ形成したが、この部分に、不純物濃度が互い異なるような不純物領域を2以上の形成しても良い。本発明では、少なくとも第1の不純物領域162、163と第2の不純物領域164、165の間に、第1の不純物領域162、163よりも不純物（リン）濃度が低く、抵抗が高い不純物領域が少なくとも1つ存在すればよい。

【 0 0 8 4 】

第1の不純物領域162、163が形成したら、レジストマスク160を除去する。熱処理して、半導体層152に添加されたリンを活性化する。活性化工程には、熱処理だけでなくレーザや、赤外ランプ光による光アニールを行うこともできる。ただし、ゲート電極156の下第2の不純物領域164、165ないのリンを活性化するには、必ず熱処理が必要である。

【 0 0 8 5 】

次に、酸化シリコン等でなる層間絶縁膜170を形成する。ゲート絶縁膜153、層間絶縁膜170に第1の不純物領域162、163、ゲート配線156に

達するコンタクトホールを形成する。そして、ソース電極 171、ドレイン電極 172、及び図示しないゲート配線の取り出し電極を形成する。

〔実施形態 3〕 図 7 を本実施形態は T F T の作製工程について説明する。本実施形態は実施形態 1 において、ゲート電極（ゲート配線）の構造の変形例である。図 7 において、図 1、図 2 と同じ符号は同じ構成要素を示している。

【0086】

本実施形態のゲート電極は第 1 のゲート電極 191 と第 2 のゲート電極 192 の積層構造を持つが、第 1 のゲート電極 191 の側面をテーパ状にしない例であり、本実施形態では第 1 のゲート電極 191 が第 2 のゲート電極 192 側面から外側に延びる部分では、その膜厚がほぼ一定になっている。

【0087】

半導体層には、実施形態と同様のリンの添加を経て、チャネル形成領域 181、 n^+ 型の第 1 の不純物領域 182、183、 n^- 型の第 2 の不純物領域 184、185、 n^- 型の第 3 の不純物領域 186、187 が形成される。

【0088】

本実施形態では、第 1 のゲート電極 191 の膜厚は一定とされるため、第 2 の不純物領域 184、185 において、不純物濃度に勾配がほとんどない。

【0089】

なお、実施形態 1～3 に記載の T F T の構成は、以下に示す本発明の全ての実施例に適用できるのは、いうまでもない。

【0090】

〔実施例〕 図 8～図 21 を用いて本発明の実施例を詳細に説明する。

【0091】

〔実施例 1〕 本実施例は本発明をアクティブマトリクス型の液晶表示装置に適用した例を説明する。

【0092】

図 8 は、本実施例のアクティブマトリクス型液晶パネルの概略の構成図である。液晶パネルは、アクティブマトリクス基板と対向基板との間に液晶が挟まれた構造を有している。アクティブマトリクス基板 200 は、ガラス基板 200 上に

画素マトリクス回路 2 0 2、画素マトリクス回路 2 0 2 を駆動するためのゲートドライバ回路 2 0 3 及びソースドライバ回路 2 0 4 が形成されている。ドライバ回路 2 0 3、2 0 4 はそれぞれソース配線、ドレイン配線によって画素マトリクス回路 2 0 2 に接続されている。

【 0 0 9 3 】

更に、ガラス基板 2 0 0 上には、駆動回路 3 0 2、3 0 3 へ電力や制御信号を入力するための外部端子が形成され、この外部端子に F P C 2 0 6 が接続されている。

【 0 0 9 4 】

対向基板 2 1 0 は、ガラス基板全面に I T O 膜等の透明導電膜が形成されている。透明導電膜は画素マトリクス回路 2 0 2 の画素電極に対する対向電極であり、画素電極、対向電極間に形成された電界によって液晶材料が駆動される。更に、対向基板 2 1 0 には必要であれば配向膜や、カラーフィルタが形成されている。

【 0 0 9 5 】

図 9 (A) は画素マトリクス回路の一面素の等価回路であり、図 9 (B) は画素マトリクス回路 3 0 1 の上面図である。図 9 (B) は駆動回路 3 0 2、2 0 3 を構成する C M O S 回路の上面図である。

【 0 0 9 6 】

図 1 0 はアクティブマトリクス基板の断面図であり、図 1 0 (A) は画素マトリクス回路 2 0 1 の断面図であり、図 9 (B) の鎖線 X - X' に沿った断面に対応する。図 1 0 (B) は C M O S 回路の断面図であり、図 9 (C) の鎖線 Y - Y' に沿った断面に対応する。画素 T F T 及び C M O S 回路の薄膜トランジスタは同一基板上に同時に作製される。

【 0 0 9 7 】

画素マトリクス回路 2 0 2 においてゲート配線 3 5 0 が、行ごとに形成され、ソース配線 3 8 0 が列ごとに形成されている。ゲート配線 3 5 0、ソース配線 3 8 0 の交差部近傍には、画素 T F T 2 1 0 が形成されている。画素 T F T 2 1 0 のソース領域にはソース配線 3 8 0 に接続され、ドレイン領域には液晶セル 2 3

0、保持容量 2 4 0 の 2 つのコンデンサーが接続されている。

【0 0 9 8】

液晶セル 2 3 0 は画素電極 3 9 0 と対向基板 2 1 0 の透明電極を対向電極に、液晶を誘電体とするコンデンサー構造を有し、画素 4 5 0 によって画素 T F T 2 1 0 に接続されている。保持容量 2 3 0 は、共通配線 3 6 0 と、画素 T F T 2 1 0 の半導体層に形成されるチャネルを電極に、ゲート絶縁膜を誘電体とするコンデンサ構造を有する。

【0 0 9 9】

図 1 1～図 1 4 を用いて、本実施例のアクティブマトリクス基板の作製工程を説明する。図 1 1、1 2 は画素マトリクス回路の作製工程を示す断面図であり、図 1 3、図 1 4 は C M O S 回路の作製工程を示す断面図である。

【0 1 0 0】

ガラス基板 3 0 0 を用意する。本実施例ではコーニングス社製 1 7 3 7 ガラス基板を用いる。ガラス基板 3 0 0 表面に接して、下地膜 3 0 1 を形成する。プラズマ C V D 法で、T E O S ガスを原料に厚さ 2 0 0 n m の酸化シリコン膜を成膜する。そして、4 0 0 ℃、4 時間下地膜 2 0 1 を加熱する。

【0 1 0 1】

下地膜 1 1 0 上に P E C V D 法により H_2 ガスで希釈した $S i H_4$ を用いて、厚さ 5 0 0 n m の非晶質シリコン膜を成膜する。P E C V D 法の代わりに減圧 C V D 法を用いることもできる。非晶質シリコン膜 2 3 0 を 4 5 0 ℃、1 時間加熱して水素出し処理をする。非晶質シリコン膜内の水素原子は 5 原子%以下、好ましくは 1 %以下とする。水素出し処理後の非晶質シリコン膜にエキシマレーザ光を照射して結晶性（多結晶）シリコン膜 4 0 1 を形成する。レーザ結晶化の条件は、レーザ光源として X e C l エキシマレーザを用い、光学系によりレーザ光を線状に整形し、パルス周波数を 3 0 H z、オーバーラップ率を 9 6 %、レーザエネルギー密度を $3 5 9 m J / c m^2$ とする。（図 1 1（A）、図 1 3（A））

【0 1 0 2】

非晶質シリコン膜の成膜方法は P E C V D 法の他に、L P C V D 法やスパッタ法を用いることができる。また、非晶質シリコンを結晶化させるレーザにはエキ

シマレーザのようなパルス発振型その他、Arレーザのような連続発振型のレーザを用いても良い。また、レーザ結晶化の代わりにハロゲンランプや水銀ランプを用いるランプアニール工程、あるいは600℃以上の加熱処理工程を用いることもできる。

【0103】

次に、フォトリソ工程用いて図示しないフォトレジストパターンを形成し、このフォトレジストパターンを用いて結晶性シリコン膜401を島状にパターニングして、半導体層302、303、304を形成する。半導体層302、303、304を覆って、ゲート絶縁膜305となる窒化酸化シリコンを成膜する。PECVD法で、原料ガスに SiH_4 と NO_2 を用いて厚さ120nmの窒化酸化シリコン膜を成膜する。(図11(B)、図13(B))

【0104】

リンを含有するn型のシリコン膜402、モリブデン-タングステン合金(Mo-W)膜403の積層膜をスパッタ法で成膜する。シリコン膜208の厚さは200nmとし、Mo-W膜の厚さは250nmとする。Mo-W膜403の成膜に用いるターゲット材料はMoとWの存在比を1:1とした。(図11(C)、図13(C))

【0105】

Mo-W膜403上にレジストマスク405を形成する。レジストマスク405を用いてMo-W膜403をウェットエッチングし、ゲート配線、共通配線の上部配線である第2のゲート配線352、第2の共通配線362、第2のゲート配線372を形成する。(図11(D)、図13(D))

【0106】

再度レジストマスク405を用いて、塩素系のガスを用いた異方性エッチングを行い、n型シリコン膜402をエッチングし、第1のゲート配線351、第2の共通配線361、第1のゲート配線372を形成する。このとき各配線351、361、371の側面がゲート配線絶縁膜305となす角 θ が20度になるようにし、側部にテーパ部を形成する。(図11(E)、図13(E))

【0107】

レジストマスク 405 を除去した後、配線 350、360、371 をマスクにして、イオンドーピング法により半導体層 302～304 にリンを添加し、 n^- 型領域 406～413 を自己整合的に形成する。このリンの添加工程で第 1 の電極 351、361、371 のテーパー部（第 2 の電極 352、362、372 の側面よりも外側にある部分）とゲート絶縁膜 305 を通過させて、リンを添加するため、加速電圧を高めにし、90 KeV とする。

【0108】

n^- 型の不純物領域 406～413 のリン濃度により TFT の n^- 型の低濃度不純物領域のリン濃度が決定されるため、ドーズ量は低濃度とし、 n^- 型不純物領域 406～413 において、電極 350、360、370 と交差していない領域のリンの濃度が $1 \times 10^{18} \text{atoms/cm}^3$ となるようにした。ドーピングガスには水素で希釈したホスフィンを用いる。

【0109】

次に、電極 350、360、370 を覆うレジストマスク 415 を形成する。マスク 415 が各電極の第 1 の電極 351、361、371 の側面よりも外側に延びた長さによって、第 1 の電極 351、361、371 とオーバーラップしない n^- 型の低濃度不純物領域の長さが決定される。また、CMOS 回路の半導体層 304 上にはレジストマスクを形成しない。

【0110】

レジストマスク 415 を用いて、イオンドーピング法によりリンを添加する。この添加工程においても、水素で希釈したホスフィンを用いた。リンをゲート絶縁膜 305 を通過させるため加速電圧は 80 keV と高める。また、この工程で形成される n^+ 型の不純物領域 313～315、332、333、321、322 のリンの濃度が $5 \times 10^{20} \text{atoms/cm}^3$ となるようにドーズ量を設定した。

【0111】

画素マトリクス回路において、半導体層 302 の n^- 型の不純物領域 406～409 にリンが選択的に添加され、 n^+ 型の不純物領域 312～324 が形成される。 n^- 型の不純物領域 406～409 において、リンが添加されなかった領

域は高抵抗領域として機能し、第1のゲート電極3 5 1、第1の共通電極と重なっている n^- 型不純物領域3 1 6～3 1 9と3 2 6、3 2 7と、第1のゲート電極3 5 1、第1の共通電極2 6 1と重なっていない n^- 型不純物領域3 2 0～3 2 3、3 2 8として画定する。更に、2回のリン添加工程でリンが添加されなかった領域3 1 1、3 1 2、3 2 5はチャンネル形成領域として画定する。(図1 2 (A))

【0 1 1 2】

n^- 型不純物領域3 1 6～3 1 9はリンの濃度が n^- 型不純物領域3 2 0～3 2 3より低く、またリンの濃度は n^- 型不純物領域3 2 0～3 2 3からチャンネル形成領域3 1 1、3 1 2に向かって低くなっている。

【0 1 1 3】

CMOS回路において、 n チャンネル型TFTの半導体層3 0 3の n^- 型不純物領域4 1 0、4 1 1にもリンが選択的に添加され、 n^+ 型の不純物領域3 2 2、3 2 3が形成される。他方、 n^- 型の不純物領域4 1 0、4 1 1において、リンが添加されなかった領域は高抵抗領域として機能し、第1のゲート電極3 7 1と重なっている n^- 型不純物領域3 2 4、3 2 5と、第1のゲート電極3 7 1と重なっていない n^- 型不純物領域3 2 6、3 2 7として画定する。2回のリン添加工程でリンが添加されなかった領域3 2 1はチャンネル形成領域として画定する。

【0 1 1 4】

n^- 型不純物領域3 2 4、3 2 5はリンの濃度が n^- 型不純物領域3 2 6、3 2 7より低く、またリンの濃度は n^- 型不純物領域3 2 6、3 2 7からチャンネル形成領域3 2 1に向かって低くなっている。

【0 1 1 5】

また、 p チャンネル型TFTの半導体層3 0 4においては、ゲート電極3 7 0が上に存在する部分にはリンがほとんど添加されず、ゲート電極3 7 0がその上部に存在しない部分に n^+ 型領域4 2 1、4 2 2が形成され、第1のゲート電極3 7 1の下部には n^- 型の不純物領域が残存した。(図1 4 (A))

【0 1 1 6】

レジストマスク4 1 5を除去した後、 n チャンネル型TFTを覆うレジストマス

ク 4 1 6 を形成する。p チャネル型 T F T の第 2 のゲート電極 3 7 2 をマスクにして、半導体層 3 0 5 側の第 1 のゲート電極 3 7 1 をエッチングにて細らせて、第 3 のゲート電極 3 7 3 を形成する。(図 1 2 (B)、図 1 4 (B))

【0 1 1 7】

このとき、第 3 のゲート電極 3 7 3 の側面がゲート配線 3 0 5 となすテーパー角 θ が 7 5 度となった。この第 3 の電極 3 7 3 のテーパー角は 6 0 度以上 9 0 度以下(より好ましくは 7 0 度以上 8 5 以下)とする。

【0 1 1 8】

レジストマスク 4 1 6 を残存させた状態で、半導体層 3 0 4 にボロンとイオンドーピング法で添加する。ゲート電極 3 7 1、3 7 3 がマスクとして機能して、チャネル形成領域 4 3 1、 p^+ 型不純物領域 4 3 2、4 3 3、 p^+ 型不純物領域 3 4 4、3 4 5 が自己整合的に形成される。なお、レジストマスク 4 1 6 を除去し別途新しいレジストマスクを形成しても良い。(図 1 2 (C)、図 1 4 (C))

【0 1 1 9】

ボロンの添加工程においも加速電圧を 8 0 k e V とし、ドーズ量は p^+ 型不純物領域 4 3 2 ~ 3 4 5 のボロン濃度が $3 \times 10^{21} \text{ atoms/cm}^3$ となるように設定した。ドーピングガスには水素で希釈したジボランを用いたここで、 p^+ 型不純物領域 3 4 4、3 4 5 は p^+ 型不純物領域 4 3 2、4 3 3 とボロン濃度は同じであるが、リン濃度が低くなっている。 p^+ 型不純物領域 3 4 4、3 4 5 は第 1 のゲート電極 3 7 1 のテーパー部の膜厚の変化に対応して、リンの濃度分布はチャネル形成領域 4 3 1 に向かって低くなっている。

【0 1 2 0】

レジストマスク 4 1 6 を除去した後、5 0 0 °C で加熱して半導体層に添加したリン、ボロンを活性化する。加熱処理に先立って、ゲート配線 3 5 0、共通電極 3 6 0、ゲート配線 3 7 0 の酸化を防止するために、厚さ 5 0 n m でなる酸化シリコンでなる保護膜 3 0 6 を形成する。(図 1 2 (C)、図 1 4 (C))

【0 1 2 1】

次に、層間絶縁膜 3 0 7 として、P E C V D 法で厚さ 2 0 n m の窒化シリコン

膜、厚さ 9 0 0 n m の酸化シリコン膜を積層して成膜する。層間絶縁膜 3 9 7、保護膜 3 0 6、ゲート絶縁膜 3 0 5 に n^+ 型不純物領域 3 1 3 ~ 3 1 5、 n^+ 型不純物領域 3 2 2、4 2 1、 p^+ 型不純物領域 3 3 2、3 3 3 及び、第 2 のゲート配線 3 7 1 に達するコンタクトホールを形成する。

【 0 1 2 2 】

層間絶縁膜 1 1 1 上にチタン (1 5 0 n m) / アルミニウム (5 0 0 n m) / チタン (1 0 0 n m) の積層膜をスパッタ法で成膜し、パターニングして、ソース配線 3 8 0、ドレイン電極 3 8 1、ソース電極 3 8 4、3 8 5、ドレイン電極 3 8 6 を形成する。以上により、CMOS 回路と画素 TFT 2 1 0、保持容量 2 3 0 がガラス基板上に作製される。(図 1 2 (E)、図 1 4 (E))

【 0 1 2 3 】

アクティブマトリクス基板を完成するには、更に、基板 3 0 0 全面に平坦化膜 3 0 8 を形成する。ここでは、アクリルをスピンコート法で塗布し、焼成して厚さ 1 μ m のアクリル膜を形成する。平坦化膜 3 0 8 にコンタクトホールを開口する。スパッタ法で厚さ 2 0 0 n m のチタンを成膜しパターニングしてソース配線 3 5 7、3 5 2 を形成する。

【 0 1 2 4 】

次に、第 1 の平坦化膜 3 0 8 と同様にして、厚さ 0. 5 μ m のアクリルを第 2 の平坦化膜 3 0 9 として形成する。平坦化膜 3 0 8、3 0 9 にドレイン電極 3 8 1 に対するコンタクトホールを形成する。スパッタ法で ITO 膜を成膜し、パターニングして、ドレイン電極 3 8 1 に接続された画素電極 3 9 0 を形成する。(図 1 0 (A)、(B))

【 0 1 2 5 】

本実施例では p チャネル型 TFT に対して高抵抗領域として機能する低濃度不純物領域を形成していないが、p チャネル型 TFT は元来高抵抗領域がなくとも、信頼性が高いので問題はなく、かえって高抵抗領域形成しないほうがオン電流を稼ぐことができ、n チャネル型 TFT との特性との釣り合いがとれ、都合が良い。

【 0 1 2 6 】

〔実施例 2〕 本実施例は実施例 1 の変形例であり、リンとボロンの添加工程の順序を逆にした例を示す。図 1 5 を用いて本実施例の作製工程を説明する。

【0 1 2 7】

本実施例では CMOS 回路の作製工程を説明するが、実施例のように画素マトリクス回路とドライバ回路が一体化したアクティブマトリクス基板の作製工程に本実施例を適用できるのはいうまでもない。また図 1 5 において、図 1 3、1 4 と同じ符号は同じ構成要素を示す。

【0 1 2 8】

実施例 1 で示した工程に従って図 1 3 (E) の構成を得る。次にレジストマスク 4 0 5 を除去して、n チャネル型 TFT を覆うレジストマスク 4 5 1 を形成する。(図 1 5 (A))

【0 1 2 9】

レジストマスク 4 1 6 を用いて、半導体層 3 0 4 にボロンとイオンドーピング法で添加する。ゲート電極 3 7 1、3 7 2 がマスクとして機能して、半導体層 3 0 4 にチャネル形成領域 5 0 1、ソース領域、ドレイン領域として機能する p^+ 型不純物領域 5 0 2、5 0 3 が自己整合的に形成される。

【0 1 3 0】

加速電圧は 8 0 k e V とし、ドーズ量は p^+ 型不純物領域 5 0 1、5 0 2 のボロン濃度が $3 \times 10^{20} \text{ atoms/cm}^3$ となるように設定した。ここで、 p^+ 型不純物領域 5 0 2、5 0 3 はドーピング時のボロンの回り込み、ゲート電極 3 7 1 の側部の膜厚の薄さのため、下部にも若干重なっているとも考えられる。(図 1 5 (B))

【0 1 3 1】

レジストマスク 4 5 1 を除去した後、 p チャネル型 TFT を覆うレジストマスク 4 5 2 を形成する。そして、イオンドーピング法により半導体層 3 0 3 にリンを添加し、 n^- 型領域 4 5 3、4 5 4 を自己整合的に形成する。加速電圧は 9 0 K e V とし、ドーズ量は n^- 型不純物領域 4 5 3、4 5 4 のリン濃度が $1 \times 10^{18} \text{ atoms/cm}^3$ となるように設定した。また、ドーピングガスには水素で希釈したホスフィンを用いる。(図 1 5 (C))

【0132】

次に、レジストマスク452を除去して、新たにpチャネル型TFT全体と、nチャネル型TFTを部分的に覆うレジストマスク456を形成する。nチャネル型TFTにおいて、マスク456が第1のゲート電極371の側面よりも外側に延びた長さが、第1のゲート電極371とオーバーラップしない n^- 型不純物領域の長さを決定する。

【0133】

レジストマスク456を用いて、イオンドーピング法によりリンを添加する。この添加工程においても、水素で希釈したホスフィンをドーピングガスに用いた。。。

【0134】

CMOS回路において、nチャネル型TFTの半導体層303の n^- 型不純物領域454、455にリンが選択的に添加され、 n^+ 型の不純物領域512、513が形成される。この工程では、リンをゲート絶縁膜305を通過させるため、加速電圧は80keVと高めにする。また n^+ 型不純物領域512、513のリンの濃度が $5 \times 10^{20} \text{ atoms/cm}^3$ となるようにドーズ量を設定した。

【0135】

他方、 n^- 型の不純物領域454、455において、リンが添加されなかった領域は高抵抗領域として機能し、第1のゲート電極371と重なっている n^- 型不純物領域514、515、第1のゲート電極371と重なっていない n^- 型不純物領域516、517として画定する。また2回のリン添加工程でリンが添加されなかった領域511はチャネル形成領域として画定する。(図15(D))

【0136】

本実施例でもゲート電極371と重なっている n^- 型不純物領域514、515は、リン濃度が n^- 型不純物領域516、517(及び n^+ 型不純物領域512、513)よりも低く、またリンの濃度はチャネル形成領域511に向かって低くなっている。

【0137】

レジストマスク416を除去した後、厚さ50nmでなる酸化シリコンでなる

保護膜 306 を形成し、加熱処理して半導体層に添加したリン、ボロンを活性化
する。層間絶縁膜 307 を形成し、コンタクトホールを開口して、ソース配線 3
80、ドレイン電極 381 を形成する。以上により、CMOS 回路が作製される
。(図 15 (E))

【0138】

本実施例では、pチャネル型 TFT の第 1 のゲート電極を細らせる工程を省略
することができる。なお、図 15 (B) のボロンの添加工程を行う前に、pチャ
ネル型 TFT の第 1 のゲート電極 371 を第 2 のゲート電極 372 をマスクにし
てエッチングして、第 3 のゲート電極 373 を形成する工程を追加することもで
きる。

【0139】

〔実施例 3〕 実施例 1 では半導体層にエキシマレーザにより結晶化した多結晶
シリコン膜を用いたが、本実施例は他の結晶化方法を示す。

【0140】

本実施例の結晶化工程は特開平 7-130652 号公報に記載の結晶化技術で
ある。この結晶化工程について図 17 を用いて説明する。

【0141】

まずガラス基板 1001 上に下地膜として酸化シリコン膜 1002 を成膜する
。酸化シリコン膜 1002 上に非晶質シリコン膜 1003 を成膜する。本実施例
では酸化シリコン膜 1002 と非晶質シリコン膜 1003 とをスパッタ法により
連続的に成膜した。次に、重量換算で 10 ppm のニッケルを含む酢酸ニッケル塩
溶液を塗布してニッケル含有層 1004 を形成した。(図 17 (A))

【0142】

なお、ニッケル (Ni) 以外にも、ゲルマニウム (Ge)、鉄 (Fe)、パラジウム
(Pd)、錫 (Sn)、鉛 (Pb)、コバルト (Co)、白金 (Pt)、銅 (Cu)、金 (Au
)、シリコン (Si) といった元素から選ばれた一種または複数種の元素を用いて
も良い。

【0143】

次に、600℃ 1 時間の水素だし工程の後、600～1100℃で 4～12 時

間（本実施例では 5 1 0 0℃ 1 4 時間）の熱処理を行い、ポリシリコン膜 1 0 0 5 を形成した。こうして得られた結晶性シリコン膜 1 0 0 5 は非常に優れた結晶性を有することが分かっている。（図 1 7 （B））

【0 1 4 4】

なお、本実施例の結晶化工程は本明細書に記載された半導体層の形成工程に適用できる。

【0 1 4 5】

〔実施例 4〕 本実施例では、実施例 3 と異なる結晶化工程に関するものであり、特開平 8 - 7 8 3 2 9 号公報に記載された技術を用いて結晶化した場合の例について説明する。なお、特開平 8 - 7 8 3 2 9 号公報に記載された技術は、触媒元素を選択的に添加することによって、半導体膜の選択的な結晶化を可能とするものである。図 1 8 を用いて、同技術を本発明に適用した場合について説明する。

【0 1 4 6】

まず、ステンレス基板 1 0 1 1 上に酸化シリコン膜 1 0 1 2 を成膜し、その上に非晶質シリコン膜 1 0 1 3、酸化シリコン膜 1 1 0 4 を連続的に形成した。この時、酸化シリコン膜 1 0 1 4 の膜厚は 1 5 0 n m とした。

【0 1 4 7】

次に酸化シリコン膜 1 0 1 4 をパターニングして選択的に開口部 1 0 1 5 を形成し、その後、重量換算で 1 0 0 ppm のニッケルを含む酢酸ニッケル塩溶液を塗布した。形成されたニッケル含有層 1 1 0 6 は開口部 1 0 1 5 の底部のみで非晶質シリコン膜 1 0 1 2 と接触した状態となった。（図 1 8 （A））

【0 1 4 8】

次に、5 0 0 ~ 6 5 0℃ で 4 ~ 2 4 時間（本実施例では 5 5 0℃ 1 4 時間）の熱処理を行い、非晶質シリコン膜の結晶化を行った。この結晶化過程では、ニッケルが接した部分がまず結晶化し、そこから基板にほぼ平行な方向へと結晶成長が進行する。結晶学的には $\langle 1 1 1 \rangle$ 軸方向に向かって進行することが確かめられている。

【0 1 4 9】

こうして形成されたポリシリコン膜 1017 は棒状または針状の結晶が集合してなり、各々の棒状結晶は、巨視的にはある特定の方向性をもって成長しているため、結晶性が揃っているという利点がある。

【0150】

なお、上記公報に記載された技術においてもニッケル (Ni) 以外にゲルマニウム (Ge)、鉄 (Fe)、パラジウム (Pd)、錫 (Sn)、鉛 (Pb)、コバルト (Co)、白金 (Pt)、銅 (Cu)、金 (Au)、シリコン (Si) といった元素から選ばれた一種または複数種の元素を用いることができる。

【0151】

以上のような技術を用いて結晶を含む半導体膜（ポリシリコン膜やポリシリコンゲルマニウム膜を含む）を形成し、パターニングを行って結晶を含む半導体膜でなる半導体層を形成すれば良い。その後の工程は実施例 1 に従えば良い。勿論、実施例 2 との組み合わせも可能である。

【0152】

本実施例の技術を用いて結晶化した結晶を含む半導体膜を用いて TFT を作製した場合、高い電界効果移動度（モビリティ）が得られるが、そのため高い信頼性を要求されていた。しかしながら、本発明の TFT 構造を採用することで本実施例の技術を最大限に生かした TFT を作製することが可能となった。

【0153】

【実施例 5】 本実施例は、実施例 3、4 で示した半導体の結晶化に用いたニッケルを、結晶化後にリンを用いて除去する工程を行う例を示す。本実施例ではその方法として、特開平 10-135468 号公報または特開平 10-135469 号公報に記載された技術を用いた。

【0154】

同公報に記載された技術は、非晶質半導体膜の結晶化に用いた触媒元素を結晶化後にリンのゲッターリング作用を用いて除去する技術である。同技術を用いることで、結晶性半導体膜中の触媒元素の濃度を $1 \times 10^{17} \text{atms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{atms/cm}^3$ にまで低減することができる。

【0155】

本実施例の構成について図 19 を用いて説明する。ここではコーニング社の 1737 基板に代表される無アルカリガラス基板を用いた。図 19 (A) では、実施例 2 で示した結晶化の技術を用いて、下地膜 1022、結晶性珪素膜 1023 が形成された状態を示している。そして、結晶性珪素膜 1023 の表面にマスク用の酸化珪素膜 1024 が 150 nm の厚さに形成され、パターニングにより開孔部が設けられ、結晶性珪素膜を露出させた領域を設けてある。そして、リンを添加する工程を実施して、結晶性珪素膜にリンが添加された領域 1025 が設けられた。

【0156】

この状態で、窒素雰囲気中で 550～1020℃、5～24 時間、例えば 600℃、12 時間の熱処理を行うと、結晶性珪素膜にリンが添加された領域 1025 がゲッタリングサイトとして働き、結晶性珪素膜 1023 に残存していた触媒元素はリンが添加された領域 1025 に偏析させることができた。

【0157】

そして、マスク用の酸化珪素膜 1024 と、リンが添加された領域 1025 とをエッチングして除去することにより、結晶化の工程で使用した触媒元素の濃度を $1 \times 10^{17} \text{ atoms/cm}^3$ 以下にまで低減された結晶性珪素膜を得ることができた。この結晶性珪素膜はそのまま実施例 1 で示した本願発明の TFT の半導体層として使用することができた。

【0158】

【実施例 6】 本実施例では、実施例 3、4 に対して特開平 10-135468 号公報または特開平 10-135469 号公報に記載された技術を組み合わせた例を示す。

【0159】

同公報に記載された技術は、実施例 3、4 で示した半導体の結晶化に用いたニッケルを、結晶化後にハロゲン元素（代表的には塩素）のゲッタリング作用を用いて除去する技術である。同技術を用いることで半導体層中のニッケル濃度を $1 \times 10^{17} \text{ atoms/cm}^3$ 以下（好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以下）にまで低減することができる。

【 0 1 6 0 】

本実施例の構成について図 2 0 を用いて説明する。まず基板として耐熱性の高い石英基板 7 0 1 を用いた。勿論、シリコン基板やセラミックス基板を用いても良い。石英基板を用いた場合、特に下地膜として酸化シリコン膜を設けなくても基板側からの汚染はない。

【 0 1 6 1 】

次に実施例 3、4 の結晶化方法を用いてポリシリコン膜（図示せず）を形成し、パターニングして半導体層 1 0 3 2、1 0 3 3 を形成した。さらに、それら半導体層を覆って酸化シリコン膜でなるゲート絶縁膜 1 0 3 4 を形成した。（図 2 0（A））

【 0 1 6 2 】

ゲート絶縁膜 1 0 3 4 を形成したら、ハロゲン元素を含む雰囲気中において熱処理を行った。本実施例では処理雰囲気を酸素と塩化水素とを混合した酸化性雰囲気とし、処理温度を 9 5 0℃、処理時間を 3 0 分とした。なお、処理温度は 7 0 0～1 1 5 0℃（代表的には 1 0 2 0～1 0 0 0℃）の間で選択すれば良いし、処理時間も 1 0 分～8 時間（代表的には 3 0 分～2 時間）の間で選択すれば良い。（図 2 0（B））

【 0 1 6 3 】

この時、ニッケルは揮発性のニッケル塩化物となって処理雰囲気中に離脱し、ポリシリコン膜中のニッケル濃度が低減する。従って、図 2 0（B）に示した半導体層 1 0 3 5、1 0 3 6 中に含まれるニッケル濃度は $1 \times 10^{17} \text{atoms/cm}^3$ 以下に低減されていた。

【 0 1 6 4 】

以上のような技術でなる本実施例を用いて半導体層を形成し、その後の工程は実施例 1、2 に従えば良い。勿特に本実施例と実施例 4 の結晶化方法の組み合わせは非常に結晶性の高い結晶性シリコン膜を実現できることが判明している。

【 0 1 6 5 】

（半導体層の結晶構造に関する知見）

上記作製工程に従って形成した半導体層は、微視的に見れば複数の針状又は棒

状の結晶（以下、棒状結晶と略記する）が集まって並んだ結晶構造を有する。このことはTEM（透過型電子顕微鏡法）による観察で容易に確認できた。

【0 1 6 6】

また、電子線回折及びエックス線（X線）回折を利用して半導体層の表面（チャンネルを形成する部分）が結晶軸に多少のずれが含まれているものの主たる配向面が $\{1\ 1\ 0\}$ 面であることを確認した。本出願人がスポット径約 $1.5\ \mu\text{m}$ の電子線回折写真を詳細に観察した結果、 $\{1\ 1\ 0\}$ 面に対応する回折斑点がきれいに現れているが、各斑点は同心円上に分布を持っていることが確認された。

【0 1 6 7】

また、本出願人は個々の棒状結晶が接して形成する結晶粒界をHR-TEM（高分解能透過型電子顕微鏡法）により観察し、結晶粒界において結晶格子に連続性があることを確認した。これは観察される格子縞が結晶粒界において連続的に繋がっていることから容易に確認できた。

【0 1 6 8】

なお、結晶粒界における結晶格子の連続性は、その結晶粒界が「平面状粒界」と呼ばれる粒界であることに起因する。本明細書における平面状粒界の定義は、「Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement ; Ryuichi Shimokawa and Yutaka Hayashi, Japanese Journal of Applied Physics vol.27, No.5, pp.751-758, 1988」に記載された「Planar boundary」である。

【0 1 6 9】

上記論文によれば、平面状粒界には双晶粒界、特殊な積層欠陥、特殊なtwist粒界などが含まれる。この平面状粒界は電氣的に不活性であるという特徴を持つ。即ち、結晶粒界でありながらキャリアの移動を阻害するトラップとして機能しないため、実質的に存在しないと見なすことができる。

【0 1 7 0】

特に結晶軸（結晶面に垂直な軸）が $\langle 1\ 1\ 0 \rangle$ 軸である場合、 $\{2\ 1\ 1\}$ 双晶粒界は $\Sigma\ 3$ の対応粒界とも呼ばれる。 Σ 値は対応粒界の整合性の程度を示す指針となるパラメータであり、 Σ 値が小さいほど整合性の良い粒界であることが知ら

れている。

【0 1 7 1】

本出願人が本発明を実施して得たポリシリコン膜を詳細にTEMを用いて観察した結果、結晶粒界の殆ど（90%以上、典型的には95%以上）が $\Sigma 3$ の対応粒界、即ち $\{2 1 1\}$ 双晶粒界であることが判明した。

【0 1 7 2】

二つの結晶粒の間に形成された結晶粒界において、両方の結晶の面方位が $\{1 1 0\}$ である場合、 $\{1 1 1\}$ 面に対応する格子縞がなす角を θ とすると、 $\theta = 70.5^\circ$ の時に $\Sigma 3$ の対応粒界となることが知られている。

【0 1 7 3】

本実施例のポリシリコン膜は、結晶粒界において隣接する結晶粒の各格子縞がまさに約 70.5° の角度で連続しており、その事からこの結晶粒界は $\{2 1 1\}$ 双晶粒界であるという結論に辿り着いた。

【0 1 7 4】

なお、 $\theta = 38.9^\circ$ の時には $\Sigma 9$ の対応粒界となるが、この様な他の結晶粒界も存在した。

【0 1 7 5】

この様な対応粒界は、同一面方位の結晶粒間にしか形成されない。即ち、本実施例を実施して得たポリシリコン膜は面方位が概略 $\{1 1 0\}$ で揃っているからこそ、広範囲に渡ってこの様な対応粒界を形成しうる。

【0 1 7 6】

この様な結晶構造（正確には結晶粒界の構造）は、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合していることを示している。即ち、結晶粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構成となっている。従って、この様な結晶構造を有する半導体薄膜は実質的に結晶粒界が存在しない見なすことができる。

【0 1 7 7】

またさらに、 $700 \sim 1150^\circ\text{C}$ という高い温度での熱処理工程によって結晶粒内に存在する欠陥が殆ど消滅していることがTEM観察によって確認されてい

る。これはこの熱処理工程の前後で欠陥数が大幅に低減されていることから明らかである。

【0178】

この欠陥数の差は電子スピン共鳴分析 (Electron Spin Resonance : ESR) によってスピン密度の差となって現れる。現状では本実施例の作製工程に従って作製されたポリシリコン膜のスピン密度は少なくとも $3 \times 10^{17} \text{ spins/cm}^3$ 以下 (好ましくは $5 \times 10^{15} \text{ spins/cm}^3$ 以下) であることが判明している。ただし、この測定値は現存する測定装置の検出限界に近いので、実際のスピン密度はさらに低いと予想される。

【0179】

以上の事から、本実施例を実施することで得られたポリシリコン膜は結晶粒内及び結晶粒界が実質的に存在しないため、単結晶シリコン膜又は実質的な単結晶シリコン膜と考えて良い。本出願人はこのような結晶構造を有するポリシリコン膜を CGS (Continuous Grain Silicon) と呼んでいる。

【0180】

CGSに関する記載は本出願人による特願平10-044659号、特願平10-152316号、特願平10-152308号または特願平10-152305号の出願を参照すれば良い。

【0181】

(TFTの電気特性に関する知見)

本実施例で作製したTFTは、MOSFETに匹敵する電気特性を示した。本出願人が試作したTFTからは次に示す様なデータが得られている。

【0182】

(1) スイッチング性能 (オン/オフ動作切り換えの俊敏性) の指標となるサブスレッシュヨルド係数が、nチャネル型TFTおよびpチャネル型TFTともに $60 \sim 100 \text{ mV/decade}$ (代表的には $60 \sim 85 \text{ mV/decade}$) と小さい。

(2) TFTの動作速度の指標となる電界効果移動度 (μ_{FE}) が、nチャネル型TFTで $200 \sim 650 \text{ cm}^2/\text{Vs}$ (代表的には $300 \sim 500 \text{ cm}^2/\text{Vs}$)、pチャネル型TFTで $100 \sim 300 \text{ cm}^2/\text{Vs}$ (代表的には $150 \sim 200 \text{ cm}^2/\text{Vs}$) と大きい。

(3) T F T の駆動電圧の指標となるしきい値電圧 (V_{th}) が、nチャネル型 T F T で $-0.5 \sim 1.5$ V、pチャネル型 T F T で $-1.5 \sim 0.5$ V と小さい。

【0 1 8 3】

以上の様に、極めて優れたスイッチング特性および高速動作特性が実現可能であることが確認されている。

【0 1 8 4】

(回路特性に関する知見)

次に、本実施例を実施して形成した T F T を用いて作製されたリングオシレータによる周波数特性を示す。リングオシレータとは C M O S 構造でなるインバータ回路を奇数段リング状に接続した回路であり、インバータ回路 1 段あたりの遅延時間を求めるのに利用される。実験に使用したリングオシレータの構成は次の様になっている。

段数：9 段

T F T のゲイト絶縁膜の膜厚：30 n m 及び 50 n m

T F T のゲイト長：0.6 μ m

【0 1 8 5】

このリングオシレータによって発振周波数を調べた結果、最大値で 1.04 G H z の発振周波数を得ることができた。また、実際に L S I 回路の T E G の一つであるシフトレジスタを作製して動作周波数を確認した。その結果、ゲイト絶縁膜の膜厚 30 n m、ゲイト長 0.6 μ m、電源電圧 5 V、段数 5 0 段のシフトレジスタ回路において動作周波数 100 M H z の出力パルスが得られた。

【0 1 8 6】

以上の様なリングシレータおよびシフトレジスタの驚異的なデータは、本実施例の T F T が M O S F E T に匹敵する、若しくは凌駕する性能（電気特性）を有していることを示している。

【0 1 8 7】

〔実施例 7〕 本実施例も結晶化工程で用いた触媒元素をゲッタリングする技術に関する。

【0 1 8 8】

実施例 6 では、結晶化シリコン中の触媒元素をゲッタリングするため、ゲッタリング領域 1 0 2 5 (図 1 9 参照) する必要があり、この領域には、T F T を形成することができなくなるため、回路の集積化を妨げている。本実施例は上記の問題点を解消したゲッタリング方法であり、n チャネル型 T F T の n^+ 型不純物領域及び、p チャネル型 T F T の p^+ 型不純物領域をゲッタリング領域に用いる。

【0 1 8 9】

実施例 1 で示した工程では、 n^+ 型不純物領域 3 1 2 ~ 3 1 4、3 2 2、3 2 及び、 p^+ 型不純物領域 3 3 2、3 3 3 にはリンが $5 \times 10^{20} \text{atoms/cm}^3$ の高濃度に存在する。(図 1 2、図 1 4 参照) このため、これらの領域をゲッタリング領域に用いることができる。

【0 1 9 0】

このため、T F T の半導体層 3 0 2 ~ 3 0 4 を実施例 3、4 で示した結晶性シリコンで形成した場合、リン、ボロンの活性化工程をゲッタリングのための加熱工程と兼ねればよい。例えば、活性化工程 (図 1 2 (D)、図 1 4 (D) 参照) において、 $500 \sim 650^\circ\text{C}$ (代表的には $550 \sim 600^\circ\text{C}$) の処理温度で 2 ~ 24 時間 (代表的には 4 ~ 12 時間) の熱処理工程を行えばよい。

【0 1 9 1】

この熱処理工程において、各 T F T のチャネル形成領域 3 1 1、3 1 2、3 2 5、3 2 1、3 3 1 に残存したニッケルは、リンの作用により上記の n^+ 型不純物領域、 p^+ 型不純物領域へ向かって拡散し、そこで捕獲される。

【0 1 9 2】

そのため、 n^+ 型不純物領域 3 1 2 ~ 3 1 4、3 2 2、3 2 及び、 p^+ 型不純物領域 3 3 2、3 3 3 のニッケル (触媒) 濃度は $1 \times 10^{17} \sim 1 \times 10^{20} \text{atoms/cm}^3$ (代表的には $1 \times 10^{18} \sim 5 \times 10^{19} \text{atoms/cm}^3$) と増加し、他方、チャネル形成領域 3 1 1、3 1 2、3 2 5、3 2 1、3 3 1 のニッケル濃度は $2 \times 10^{17} \text{atoms/cm}^3$ 以下 (代表的には $1 \times 10^{14} \sim 5 \times 10^{16} \text{atoms/cm}^3$) にまで低減することができる。

【0 1 9 3】

なお、本実施例の効果を得るには、 n^+ 型不純物領域 3 1 2 ~ 3 1 4、3 2 2、3 2 及び、 p^+ 型不純物領域 3 3 2、3 3 3 には、リンまたはヒ素の濃度が少なくとも $1 \times 10^{19} \text{atoms/cm}^3$ 以上（好ましくは $1 \times 10^{20} \sim 5 \times 10^{21} \text{atoms/cm}^3$ ）となるようする。

【0 1 9 4】

〔実施例 8〕 本実施例は、実施例 1 又は実施例 2 の CMOS 回路の変形例である。図 1 6 を用いて、本実施例の TFT の構造を説明する。図 1 6 (A) ~ (C) において同じ符号は同じ構成要素を示す。また、本実施例の作製工程は実施例 1、2 を適用すれば良く、詳細な説明を省略する。

【0 1 9 5】

図 1 6 (A) は、実施例 1 においの変形例であり、第 2 の電極を省略して、ゲート電極をテーパー部を有する電極だけで形成した例である。

【0 1 9 6】

基板 9 0 0 全面に酸化シリコンでなる下地膜 9 0 1 を形成されている。下地膜 9 0 1 上に、 n チャネル型 TFT、 p チャネル型 TFT の島状の半導体層が形成されている。島状の半導体層を覆って基板 9 0 0 全面に、ゲート絶縁膜 9 0 5 が形成されている。更に、TFT を覆って窒化シリコンでなる保護膜 9 0 6、層間絶縁膜が形成 9 0 7 が形成され、層間絶縁膜 9 0 7 上にはソース配線 9 4 1、9 4 2、ドレイン電極電極 9 4 1 が形成されている。

【0 1 9 7】

ゲート絶縁膜 9 0 5 を挟んでゲート配線（ゲート電極）9 3 1 が半導体層を交差して形成されている。ゲート配線 9 3 1 の側面はテーパー状に形成されている。ここでは、厚さ 2 5 0 nm のクロムで形成した。更に、 p チャネル型 TFT の半導体層と交差している部分は、その幅が細らせて第 2 のゲート電極 9 3 1 A が形成されている。

【0 1 9 8】

また半導体層にリン、ボロンを添加する方法は実施例 2 1 適用した。 n チャネル型 TFT の半導体層には、チャネル形成領域 9 1 1 A、 n^+ 型不純物領域 9 1 2 A、9 1 3 A、ゲート電極 9 3 1 と重なっている n^- 不純物型領域 9 1 4 A、

915A、ゲート電極931と重なっていない n^- 型不純物領域916A、917Aが形成されている。

【0199】

n^- 型不純物領域914A、915A、 n^- 型不純物領域916A、917Aはリンの濃度が n^+ 型不純物領域912A、913Aよりも低くなっている。また、 n^- 型不純物領域914A、915Aとチャネル形成領域911Aとの接合部はゲート電極931のテーパ部の下に存在し、 n^- 型不純物領域914A、915Aの濃度はチャネル形成領域911Aに向かって減少している。

【0200】

他方、pチャネル型TFTの半導体層には、チャネル形成領域921A、 p^+ 型不純物領域922A、923A、 p^+ 型不純物領域924A、925Aが形成されている。 p^+ 型不純物領域922A、923Aよりも p^+ 型不純物領域924A、925Aはリンの濃度が低く、ボロン濃度は同じになっている。

【0201】

図16(B)は実施例2の変形例であり、第2の電極を省略して、ゲート電極をテーパ部を有する電極だけで形成した例である。

【0202】

図(B)では、nチャネル型TFTとpチャネル型TFTともゲート電極931Bはテーパ状に形成されている。ここでは、厚さ250nmのクロムで形成した。

【0203】

また半導体層にリン、ボロンを添加する方法は実施例2を適用した。nチャネル型TFTの半導体層には、チャネル形成領域911B、 n^+ 型不純物領域912B、913B、ゲート電極931と重なっている n^- 不純物型領域914B、915B、ゲート電極931と重なっていない n^- 型不純物領域916B、917Bが形成されている。

【0204】

n^- 型不純物領域914B、915B、 n^- 型不純物領域916B、917B

はリンの濃度が n^+ 型不純物領域 912B、913B よりも低くなっている。また、 n^- 型不純物領域 914B、915B とチャネル形成領域 911B との接合部はゲート電極 931 のテーパー部の下に存在し、 n^- 型不純物領域 914B、915B の濃度はチャネル形成領域 911B に向かって減少している。

【0205】

他方、pチャネル型TFTの半導体層には、チャネル形成領域 921B、 p^+ 型不純物領域 922B、922B がゲート電極 931B をマスクにして自己整合的に形成されている。

【0206】

図16 (C) は実施例1において、第1のゲート電極のテーパーエッチングを省略した例である。

【0207】

ゲート配線は第1のゲート配線 931C と第1のゲート配線 931 よりもチャネル長方向の幅の狭い第2のゲート配線 932C となる。なお、第1のゲート配線 931C が pチャネル型TFTの半導体層と交差する部分は、第2のゲート配線 932C をマスクにして幅が細らされた第3のゲート電極 933C が形成されている。

【0208】

nチャネル型TFTの半導体層には、チャネル形成領域 911C、 n^+ 型不純物領域 912C、913C、ゲート電極 931 と重なっている n^- 不純物型領域 914C、915C、ゲート電極 931 と重なっていない n^- 型不純物領域 916C、917C が形成されている。

【0209】

n^- 型不純物領域 914C、915C、 n^- 型不純物領域 916C、917C はリンの濃度が n^+ 型不純物領域 912C、913C よりも低くなっている。

【0210】

他方、pチャネル型TFTの半導体層には、チャネル形成領域 921C、 p^+ 型不純物領域 922C、922C、 p^+ 型不純物領域 924C、925C が形成されている。 p^+ 型不純物領域 922C、922C は p^+ 型不純物領域 92

4 C、9 2 5 C よりもリン濃度が低くなっている。

【0 2 1 1】

図 1 6 (D) は実施例 1 において、ゲート配線表面を覆う第 4 のゲート配線を形成した例である。

【0 2 1 2】

CMOS 回路は実施例 1 の工程に従ってボロンの添加工程を行う。次に、窒化シリコンでなる保護膜 9 0 6 を形成する代わりに、クロム (Cr)、タンタル (Ta)、チタン (Ti)、タングステン (W)、モリブデン (Mo) でなる金属膜、またはこれらの元素を主成分とする合金、またはシリサイド等の導電性材料を形成し、パターニングして第 4 のゲート配線 9 3 4 D を形成する。しかる後活性化を行えばよい。

【0 2 1 3】

この構成により、第 2 のゲート配線 9 3 2 D が第 1 のゲート配線 9 3 1 (第 3 のゲート電極 9 3 3 D を含む) と第 4 のゲート配線 9 3 4 D でくるまれた構造のゲート配線を得ることができる。

【0 2 1 4】

この場合には、 n チャネル型 TFT の半導体層には、チャネル形成領域 9 1 1 D、 n^+ 型不純物領域 9 1 2 D、9 1 3 D、ゲート電極 9 3 1 と重なっている n^- 不純物型領域 9 1 4 D、9 1 5 D、ゲート電極 9 3 1 と重なっていない n^- 型不純物領域 9 1 6 D、9 1 7 D が形成されているが、 n^- 型不純物領域 9 1 4 D、9 1 5 D は第 1 及び第 4 のゲート電極と交差している部分であり、 n^- 型不純物領域 9 1 6 D、9 1 7 D は第 4 のゲート電極 9 3 4 D と交差していない。

【0 2 1 5】

この構成の利点は、第 1 のゲート電極 9 3 1 D の下部の半導体層にほとんどリンが添加されない場合に特に有効である。図 1 6 (D) に示すように、 n^- 不純物型領域 9 1 4 D、9 1 5 D が第 1 のゲート電極 9 3 1 D とほとんど重ならなくなっても、第 4 のゲート電極 9 3 4 D によって n^- 型不純物領域と重なりをとることで確実にゲート電極とオーバーラップしている n^- 型不純物領域を形成することが可能になる。

【 0 2 1 6 】

他方、 p チャネル型TFTの半導体層には、チャネル形成領域921B、 p^+ 型不純物領域922B、922B、 p^+ 型不純物領域924D、925Dが形成されている。 p^+ 型不純物領域922D、922Dは p^+ 型不純物領域924D、925Dよりもリン濃度が低くなっている。この場合には、 n^- 型不純物領域と第4のゲート電極934Dが重なっている。オフ電流特性や耐圧性に問題が生ずる場合には、第4のゲート配線934Dを形成する際に、 p チャネル型TFTの半導体層と交差している部分に第4のゲート配線934Dを形成しないようにすればよい。

【 0 2 1 7 】

〔実施例9〕 本発明のTFTは実施例1に示した液晶表示装置だけでなく、あらゆる半導体回路に適用することが可能である。即ち、RISCプロセッサ、ASICプロセッサ等のマイクロプロセッサに適用しても良いし、D/Aコンバータ等の信号処理回路から携帯機器（携帯電話、PHS、モバイルコンピュータ）用の高周波回路に適用しても良い。

【 0 2 1 8 】

さらに、従来のMOSFET上に層間絶縁膜を形成し、その上に本発明を用いて半導体回路を作製したような三次元構造の半導体装置を実現することも可能である。このように本発明は現在LSIが用いられている全ての半導体装置に適用することが可能である。即ち、SIMOX、Smart-Cut（SOITEC社の登録商標）、ELTRAN（キャノン株式会社の登録商標）などのSOI構造（単結晶半導体薄膜を用いたTFT構造）に本発明を適用しても良い。

【 0 2 1 9 】

また、本実施例の半導体回路は実施例1～15のどのような組み合わせからなる構成を用いても実現することができる。

【 0 2 2 0 】

〔実施例10〕 本発明を実施して形成されたTFTは様々な電気光学装置（実施例16）や半導体回路（実施例17）に適用することができる。即ち、それら電気光学装置や半導体回路を部品として組み込んだ電子機器全てに本発明は適用

できる。

【0 2 2 1】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクションTV、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図2 1に示す。

【0 2 2 2】

図2 1（A）は携帯電話であり、本体2 0 0 1、音声出力部2 0 0 2、音声入力部2 0 0 3、表示装置2 0 0 4、操作スイッチ2 0 0 5、アンテナ2 0 0 6で構成される。本発明を音声出力部2 0 0 2、音声入力部2 0 0 3、表示装置2 0 0 4やその他の信号制御回路に適用することができる。

【0 2 2 3】

図2 1（B）はビデオカメラであり、本体2 1 0 1、表示装置2 1 0 2、音声入力部2 1 0 3、操作スイッチ2 1 0 4、バッテリー2 1 0 5、受像部2 1 0 6で構成される。本発明を表示装置2 1 0 2、音声入力部2 1 0 3やその他の信号制御回路に適用することができる。

【0 2 2 4】

図2 1（C）はモバイルコンピュータ（モービルコンピュータ）であり、本体2 2 0 1、カメラ部2 2 0 2、受像部2 2 0 3、操作スイッチ2 2 0 4、表示装置2 2 0 5で構成される。本発明は表示装置2 2 0 5やその他の信号制御回路に適用できる。

【0 2 2 5】

図2 1（D）はゴーグル型ディスプレイであり、本体2 3 0 1、表示装置2 3 0 2、アーム部2 3 0 3で構成される。本発明は表示装置2 3 0 2やその他の信号制御回路に適用することができる。

【0 2 2 6】

図2 1（E）はリア型プロジェクターであり、本体2 4 0 1、光源2 4 0 2、表示装置2 4 0 3、偏光ビームスプリッタ2 4 0 4、リフレクター2 4 0 5、2

4 0 6、スクリーン 2 4 0 7 で構成される。本発明は表示装置 2 4 0 3 やその他の信号制御回路に適用することができる。

【 0 2 2 7 】

図 2 1 (F) はフロント型プロジェクターであり、本体 2 5 0 1、光源 2 5 0 2、表示装置 2 5 0 3、光学系 2 5 0 4、スクリーン 2 5 0 5 で構成される。本発明は表示装置 2 5 0 2 やその他の信号制御回路に適用することができる。

【 0 2 2 8 】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1 ～ 9 のどのような組み合わせからなる構成を用いても実現することができる。

【 0 2 2 9 】

[実施例 1 1]

本実施例は、実施例 1 に示した電極および配線、即ち断面がテーパ形状を有するゲート電極及びゲート電極の形成方法の一例を説明する。

【 0 2 3 0 】

まず、窒化酸化シリコン膜からなるゲート絶縁膜を形成し、その上にスパッタ法により金属積層膜を形成した。本実施例では純度が 6 N 以上のタングステンターゲットを用いた。また、スパッタガスとしてはアルゴン (A r)、クリプトン (K r)、キセノン (X e) 等の単体ガスまたはそれらの混合ガスを用いればよい。なお、スパッタパワー、ガスの圧力、基板温度等の成膜条件は適宜実施者が制御すればよい。なお、上記金属積層膜は下層に $W N_x$ (但し、 $0 < x < 1$) で示される窒化タングステン膜を有し、上層にタングステン膜を有している。

【 0 2 3 1 】

こうして得られた金属積層膜は、不純物元素がほとんど含まれておらず、特に酸素の含有量は 3 0 p p m 以下とすることができ、電気抵抗率は $2 0 \mu \Omega \cdot c m$ 以下、代表的には、 $6 \mu \sim 1 5 \mu \Omega \cdot c m$ とすることができる。また、膜の応力は、 $- 5 \times 1 0^9 \sim 5 \times 1 0^9 d y n / c m^2$ とすることができる。

【 0 2 3 2 】

なお、本明細書中において窒化酸化シリコン膜とは $S i O_x N_y$ で表される絶縁

膜であり、珪素、酸素、窒素を所定の割合で含む絶縁膜を指す。

【0 2 3 3】

次いで、所望のゲート配線パターンを得るためのレジストマスクパターン（膜厚：1. 5 μ m）を形成する。

【0 2 3 4】

次いで、本実施例では、上記金属積層膜のパターニングに高密度プラズマを使用する I C P（Inductively Coupled Plasma）エッチング装置を使用してエッチングを行ない、断面がテーパー形状を有するゲート電極及びゲート電極を形成した。

【0 2 3 5】

ここで、I C Pドライエッチング装置プラズマ生成機構について図 2 2 を用いて詳細に説明する。

【0 2 3 6】

図 2 2 にエッチングチャンバーの簡略構造図を示す。チャンバー上部の石英板 1 1 上にアンテナコイル 1 2 を配置し、マッチングボックス 1 3 を介して R F 電源 1 4 に接続されている。また、対向に配置された基板側の下部電極 1 5 にもマッチングボックス 1 6 を介して R F 電源 1 7 が接続されている。

【0 2 3 7】

基板上方のアンテナコイル 1 2 に R F 電流が印加されると、アンテナコイル 1 2 に R F 電流 J が α 方向に流れ、Z 方向に磁界 B が発生する。

【0 2 3 8】

【数 1】

$$\mu_0 J = \text{rot } B$$

【0 2 3 9】

ファラデーの電磁誘導の法則に従い、 α 方向に誘導電界 E が生じる。

【0 2 4 0】

【数2】

$$-\frac{\partial B}{\partial t} = \text{rot } E$$

【0241】

この誘導電界Eで電子がα方向に加速されガス分子と衝突し、プラズマが生成される。誘導電界の方向がα方向なので、荷電粒子がエッチングチャンバー壁や、基板に衝突して電荷を消失する確率が低くなる。従って、1Pa程度の低圧力でも高密度のプラズマを発生させることができる。また、下流へは、磁界Bがほとんどないので、シート状に広がった高密度プラズマ領域となる。

【0242】

アンテナコイル12（ICPパワーが印加される）と基板側の下部電極15（バイアスパワーが印加される）のそれぞれに印加するRFパワーを調節することによってプラズマ密度と自己バイアス電圧を独立に制御することが可能である。また、被エッチング膜に応じて異なる周波数のRFパワーを印加できる。

【0243】

ICPエッチング装置で高密度プラズマを得るためには、アンテナコイル12に流れるRF電流Jを低損失で流す必要があり、大面積化するためには、アンテナコイル12のインダクタンスを低下させなければならない。そのために図23に示したようにアンテナを分割したマルチスパイラルコイル22のICPエッチング装置が開発された。図23中の21は石英板、23、26はマッチングボックス、24、27はRF電源である。また、チャンバーの底部には、基板28を保持する下部電極25が絶縁体29を介して設けられている。

【0244】

本実施例は、様々なICPエッチング装置の中でも特に、マルチスパイラルコイル方式のICPエッチング装置を用いることで所望のテーパ角θを有する配線を形成した。

【0245】

所望のテーパ角θを得るため、本実施例では、ICPエッチング装置のバイ

アスパワー密度を調節する。図 2 4 は、テーパー角 θ のバイアスパワー依存性を示した図である。図 2 4 に示したように、バイアスパワー密度に応じてテーパー角 θ を制御することができる。

【 0 2 4 6 】

また、エッチングガス (CF_4 と Cl_2 の混合ガス) の CF_4 の流量比を調節してもよい。図 2 5 はテーパー角 θ と CF_4 の流量比依存性を示した図である。 CF_4 の流量比を大きくすればタングステンとレジストとの選択比が大きくなり、配線のテーパー角 θ を大きくすることができる。

【 0 2 4 7 】

また、テーパー角 θ はタングステンとレジストの選択比に依存していると考えられる。図 2 6 にタングステンとレジストの選択比とテーパー角 θ との依存性を示した。

【 0 2 4 8 】

このように ICP エッチング装置を用いて、バイアスパワー密度や反応ガス流量比を適宜決定することで、極めて容易に所望のテーパー角 $\theta = 3 \sim 60^\circ$ (好ましくは $5 \sim 45^\circ$ より好ましくは $7 \sim 20^\circ$) を有するゲート電極および配線を形成することができた。

【 0 2 4 9 】

ここでは、W 膜を一例として示したが、一般に知られている耐熱性導電性材料 (Ta、Ti、Mo、Cr、Nb、Si 等) について ICP エッチング装置を用いると、容易にパターンの端部をテーパー形状として加工することができる。

【 0 2 5 0 】

また、上記ドライエッチングに用いるエッチングガスとして CF_4 (四フッ化炭素ガス) と Cl_2 ガスとの混合ガスを用いたが、特に限定されず、例えば、 C_2F_6 、または C_4F_8 から選ばれたフッ素を含む反応ガスと Cl_2 、 SiCl_4 、または BCl_3 から選ばれた塩素を含むガスとの混合ガスを用いることも可能である。

【 0 2 5 1 】

以降の工程は、実施例 1 に従えば、半導体装置が完成する。

【0 2 5 2】

なお、本実施例の構成は、実施例 1 ～ 1 0 のいずれの構成とも自由に組み合わせることが可能である。

【0 2 5 3】

【発明の効果】

本発明を実施することで、T F T の信頼性を高めること、特に n チャネル型 T F T の信頼性を高めることができる。従って、厳しい信頼性が要求される高い電気特性（特に高いモビリティ）を有するチャネル型 F T の信頼性を確保することが可能となった。また同時に、特性バランスに優れた n チャネル型 T F T と p チャネル型 T F T とを組み合わせることで C M O S 回路を形成することで、信頼性が高く且つ優れた電気特性を示す半導体回路を形成できる。

【0 2 5 4】

さらに、本発明では半導体の結晶化に用いた触媒元素を低減することができるため、不安定要因の少ない半導体装置を実現できる。しかも触媒元素を低減する工程はソース領域及びドレイン領域の形成及び活性化と同時に行われるため、スループットを低下させるようなこともない。

【0 2 5 5】

また、以上のように T F T で組む回路の信頼性を高めることで電気光学装置、半導体回路、さらには電子機器をも含む全ての半導体装置の信頼性を確保することが可能となった。

【図面の簡単な説明】

【図 1】 本発明の T F T の作製工程を示す断面図。（実施形態 1）

【図 2】 本発明の T F T の作製工程を示す断面図。（実施形態 1）

【図 3】 ゲート電極の部分断面図。（実施形態 1）

【図 4】 半導体層の部分断面図。（実施形態 1）

【図 5】 本発明の T F T の作製工程を示す断面図。（実施形態 2）

【図 6】 本発明の T F T の作製工程を示す断面図。（実施形態 2）

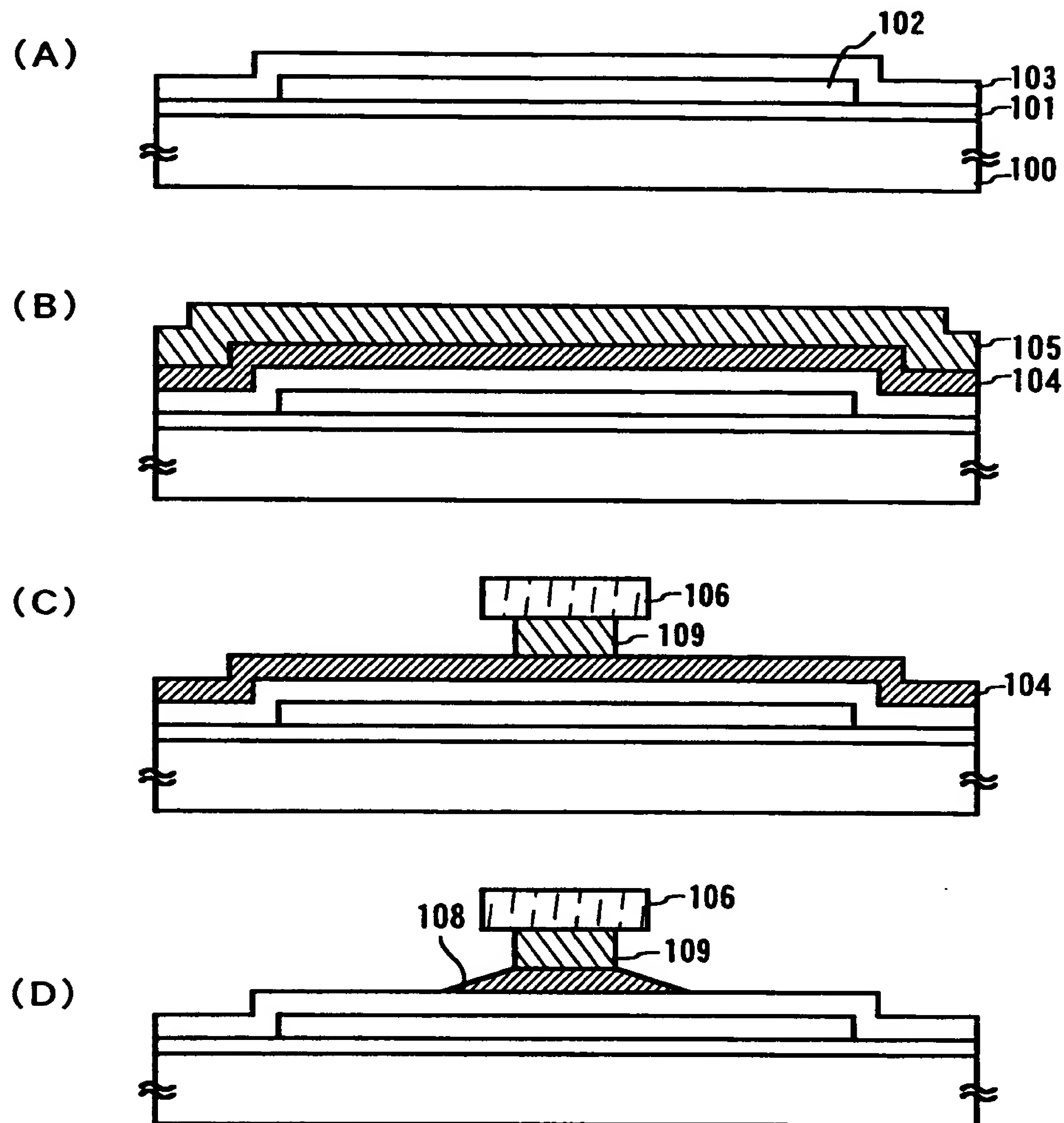
【図 7】 本発明の T F T の断面図。（実施形態 3）

【図 8】 本発明の液晶表示装置の概略を示す図。（実施例 1）

- 【図 9】 本発明の画素マトリクス回路、CMOS回路の上面図。（実施例 1）
- 【図 1 0】 本発明のアクティブマトリクス基板の断面図。（実施例 1）
- 【図 1 1】 本発明の画素マトリクス回路の作製工程を示す断面図。（実施例 1）
- 【図 1 2】 本発明の画素マトリクス回路の作製工程を示す断面図。（実施例 1）
- 【図 1 3】 本発明のCMOS回路の作製工程を示す断面図。（実施例 1）
- 【図 1 4】 本発明のCMOS回路の作製工程を示す断面図。（実施例 1）
- 【図 1 5】 本発明のCMOS回路の作製工程を示す断面図。（実施例 2）
- 【図 1 6】 本発明のCMOS回路の作製工程を示す断面図。（実施例 8）
- 【図 1 7】 本発明の結晶性シリコン膜の作製工程を示す図。（実施例 3）
- 【図 1 8】 本発明の結晶性シリコン膜の作製工程を示す図。（実施例 4）
- 【図 1 9】 本発明の結晶性シリコン膜の作製工程を示す図。（実施例 5）
- 【図 2 0】 本発明の結晶性シリコン膜の作製工程を示す図。（実施例 6）
- 【図 2 1】 本発明の半導体装置の一例を示す図。（実施例 1 0）
- 【図 2 2】 ICPエッチング装置のプラズマ生成機構を示した図である。（実施例 1 1）
- 【図 2 3】 マルチスパイラルコイル方式のICPエッチング装置を示した図である。（実施例 1 1）
- 【図 2 4】 テーパー角 θ のバイアスパワー依存性を示した図である。（実施例 1 1）
- 【図 2 5】 テーパー角 θ と CF_4 の流量比依存性を示した図である。（実施例 1 1）
- 【図 2 6】 テーパー角 θ と（W／レジスト）選択比依存性を示した図である。（実施例 1 1）
- 【図 2 7】 本発明と従来例を比較するためのゲート電圧－ドレイン電流特性図。
- 【図 2 8】 従来のMOSFETの概略図。

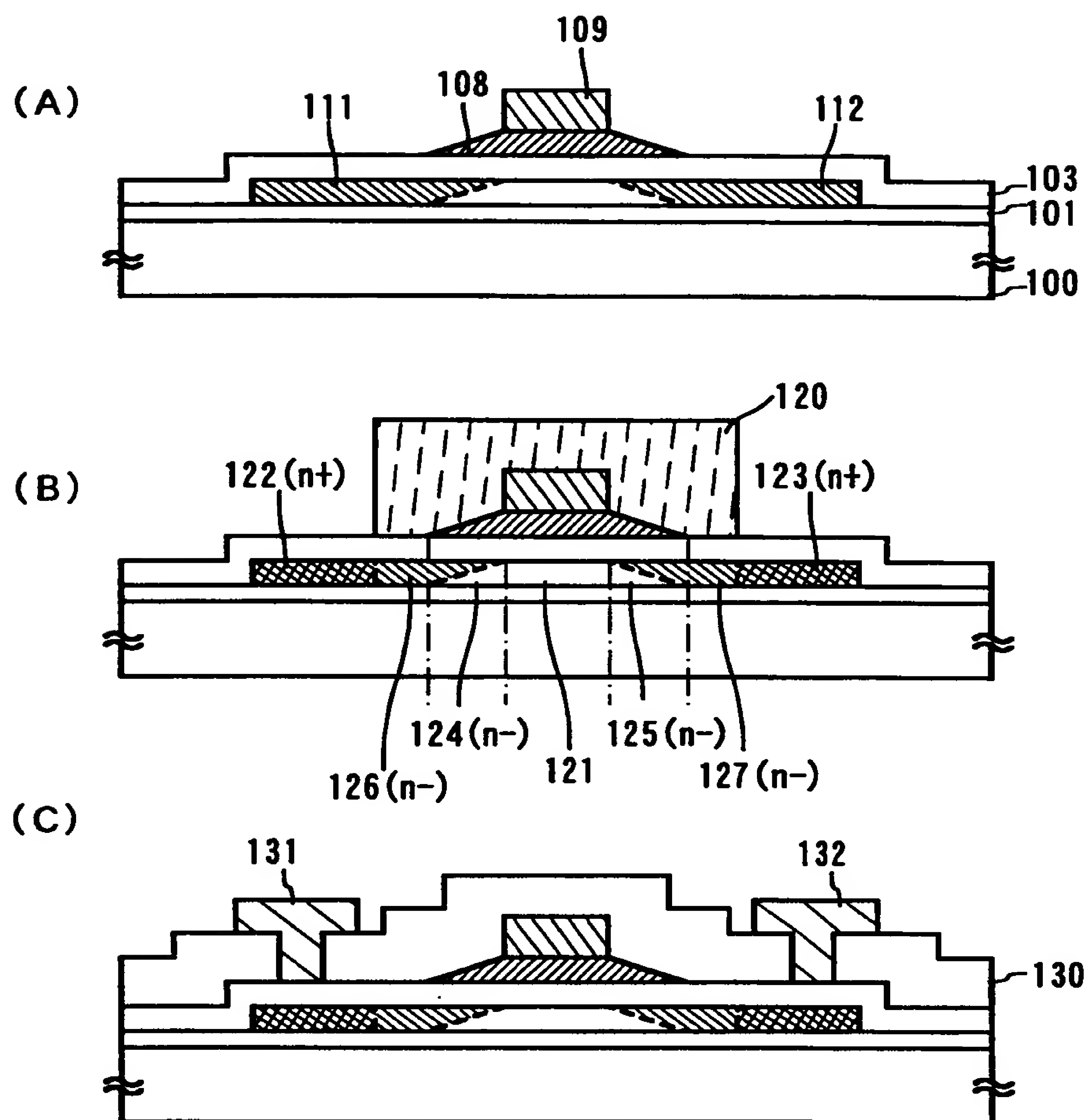
【書類名】 図面

【図 1】



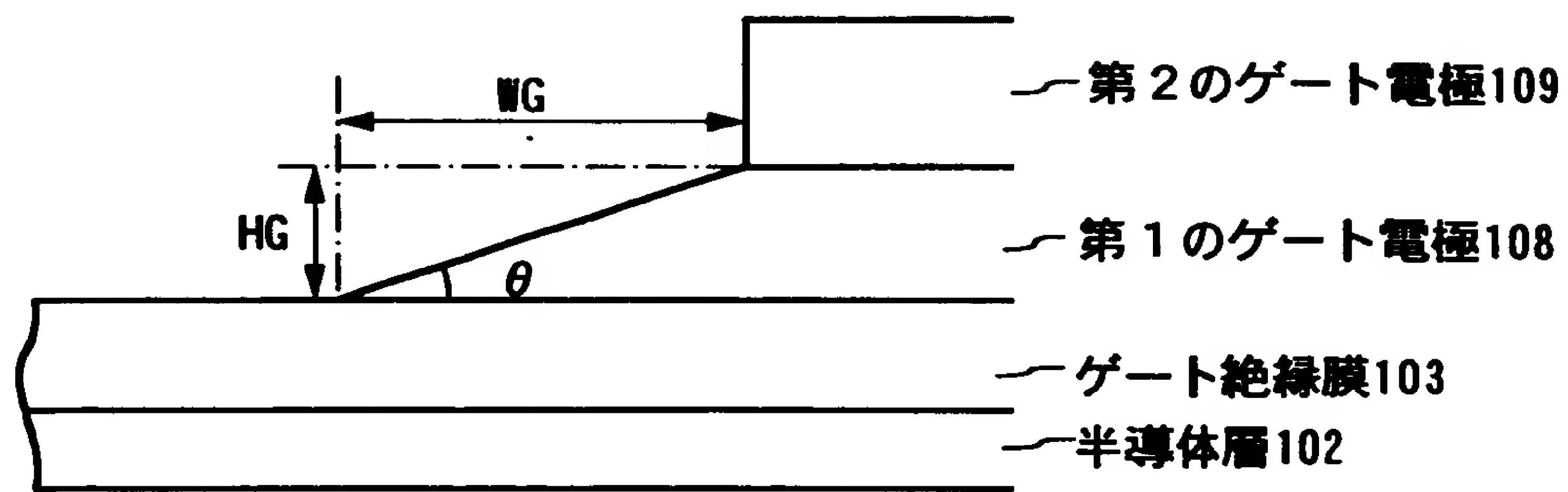
100:基板 101:下地膜 102:半導体層
 103:絶縁膜(ゲート絶縁膜)
 104:第1の導電膜 105:第2の導電膜
 106:レジストマスク
 108:第1のゲート電極(第1のゲート配線)
 109:第2のゲート電極(第2のゲート配線)

【図 2】



100:基板 101:下地膜
 103:絶縁膜(ゲート絶縁膜)
 104:第1の導電膜 105:第2の導電膜
 108:第1のゲート電極(第1のゲート配線)
 109:第2のゲート電極(第2のゲート配線)
 114:レジストマスク
 121:チャネル形成領域
 122, 123:第1の不純物領域
 124, 125:第2の不純物領域
 126, 127:第3の不純物領域
 130:層間絶縁膜
 131:ソース電極 132:ドレイン電極

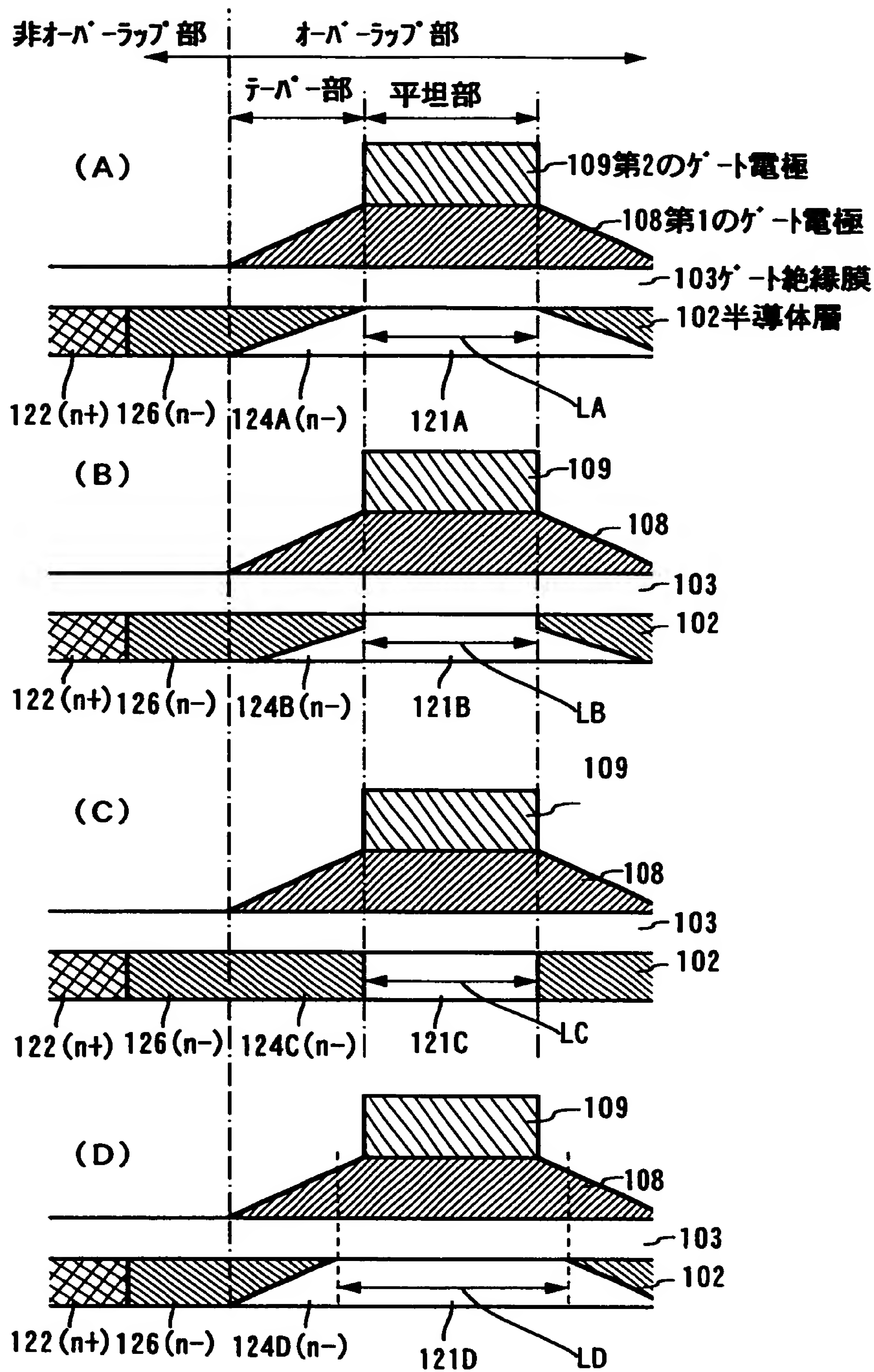
【図 3】



θ : テーパー角

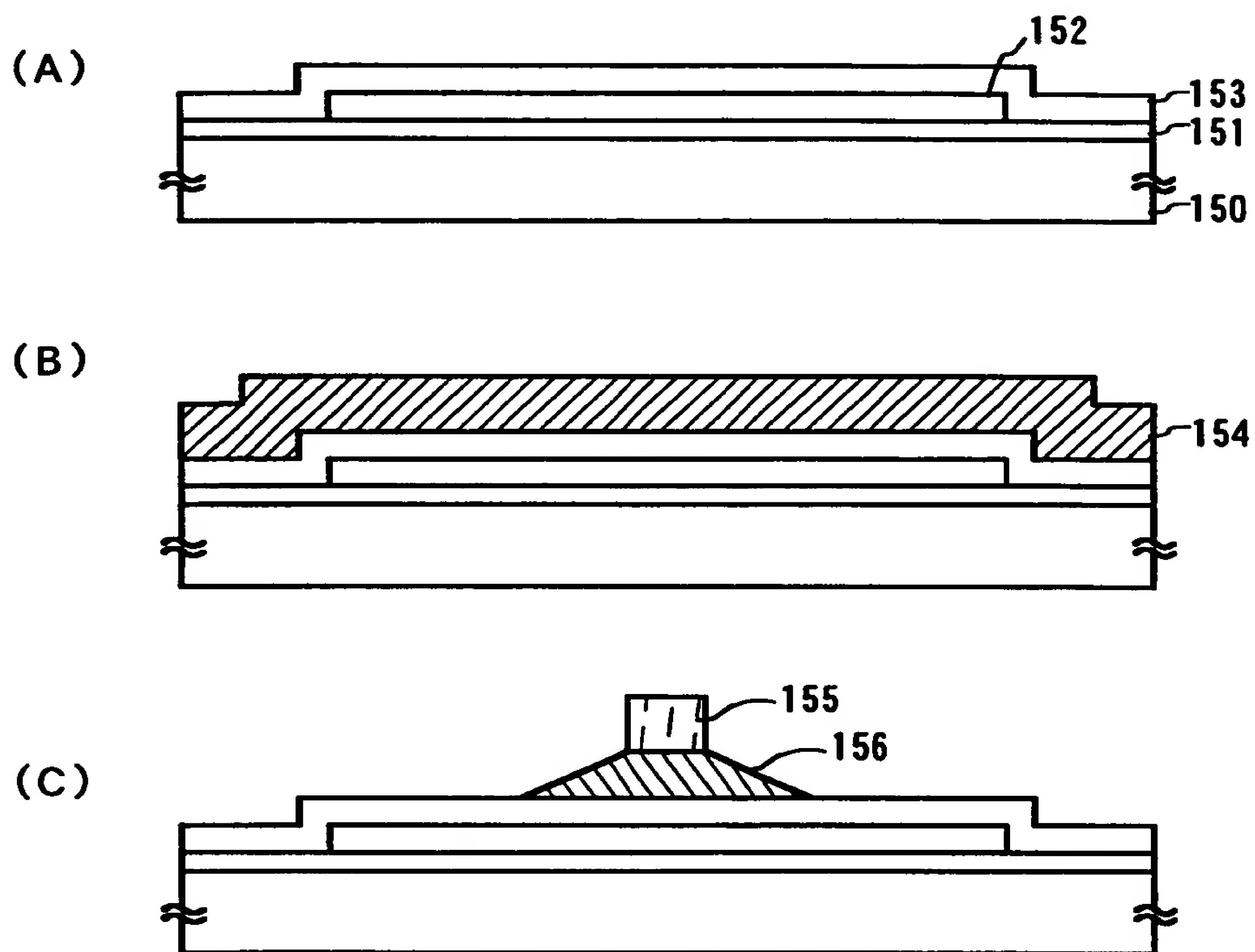
ゲート電極の断面図 (チャネル長方向)

【図 4】



121:チャネル形成領域
 122:第1の不純物領域(オーバーラップ型低濃度不純物領域)
 124:第2の不純物領域
 126:第3の不純物領域(非オーバーラップ型低濃度不純物領域)

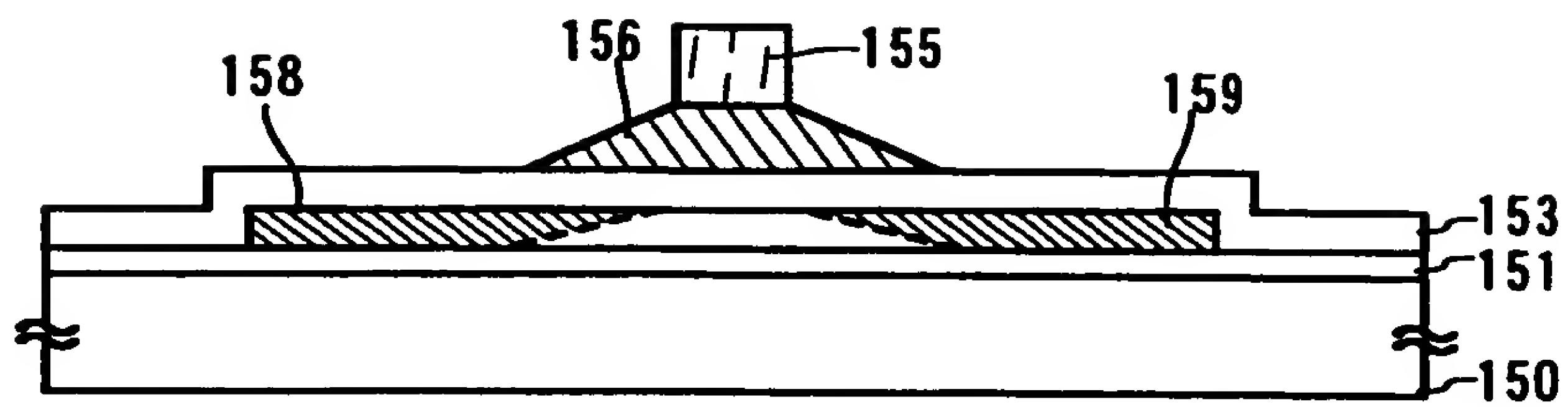
【図 5】



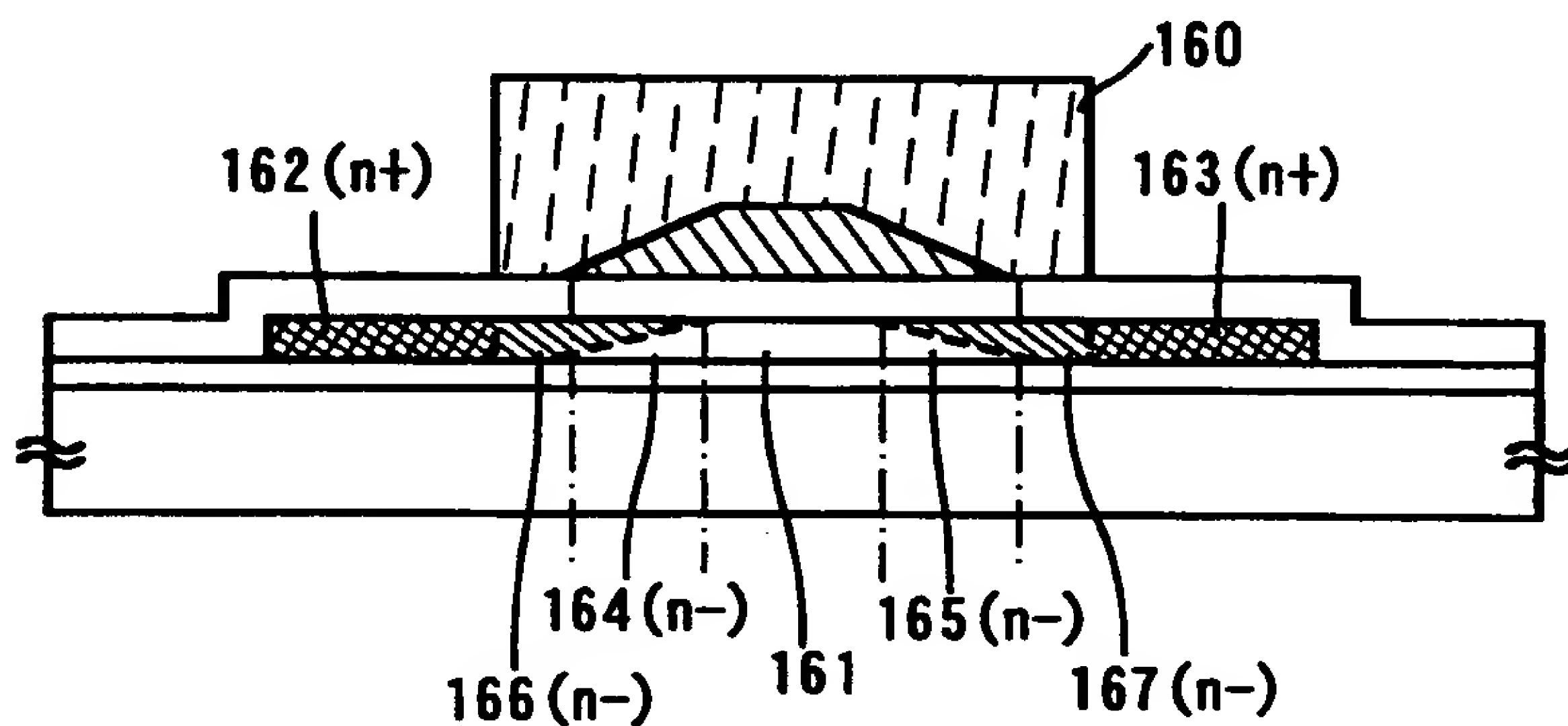
150:基板 151:下地膜 152:半導体層
 153:絶縁膜(ゲート絶縁膜)
 154:導電膜
 155:レジストマスク
 156:ゲート電極(ゲート配線)

【図 6】

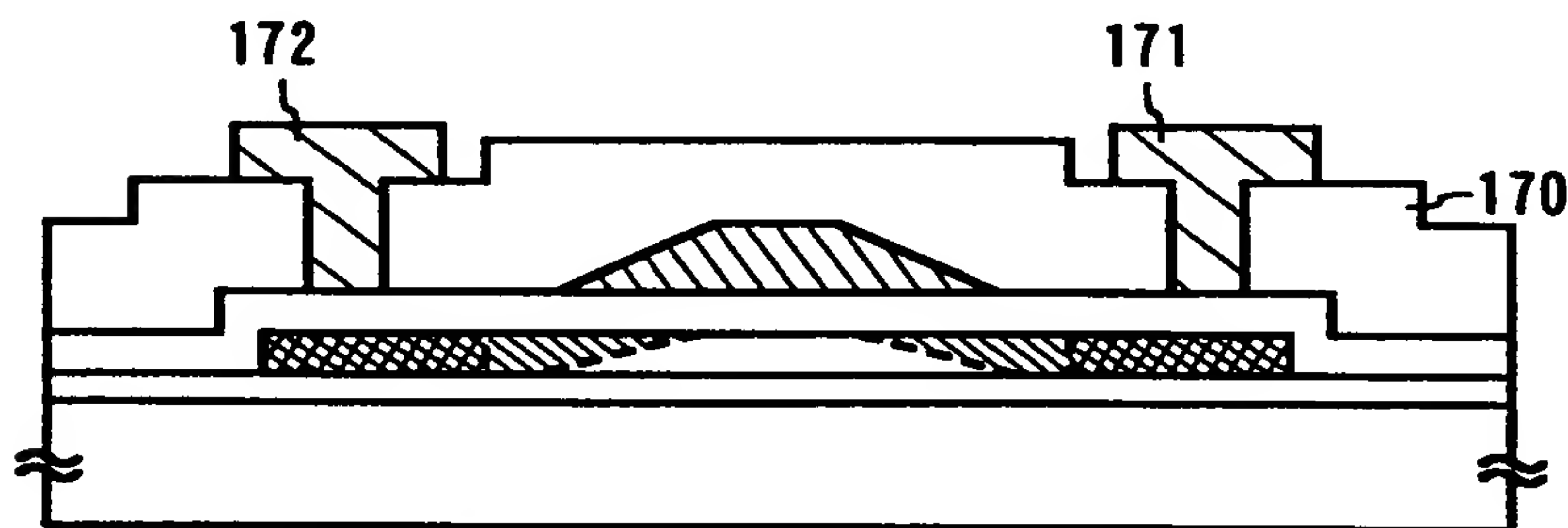
(A)



(B)

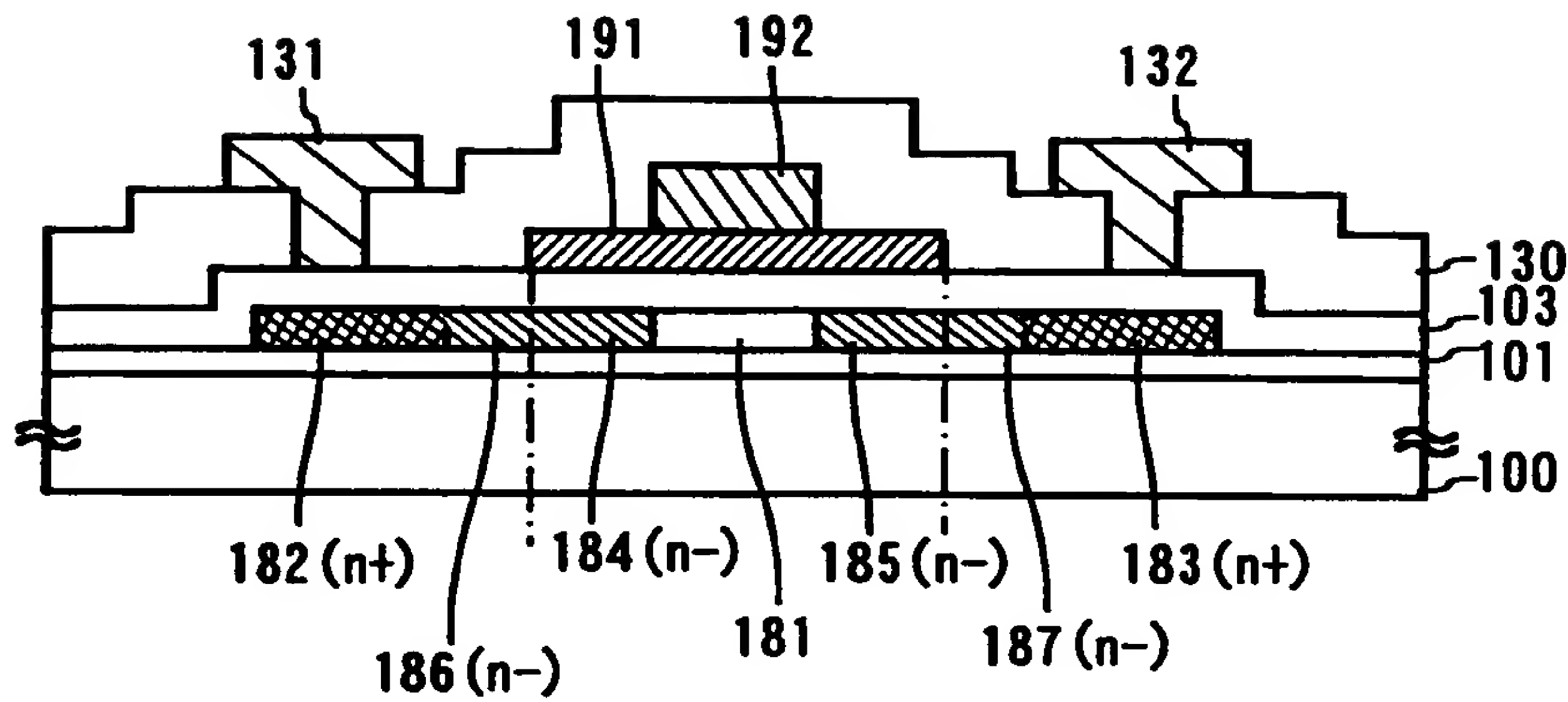


(C)



150:基板 151:下地膜
153:絶縁膜(ゲート絶縁膜)
156:ゲート電極(ゲート配線)
157, 160:レジストマスク
161:チャネル形成領域
162, 163:第1の不純物領域
164, 165:第2の不純物領域
166, 167:第3の不純物領域
160:層間絶縁膜
161:ソース電極 162:ドレイン電極

【図 7】

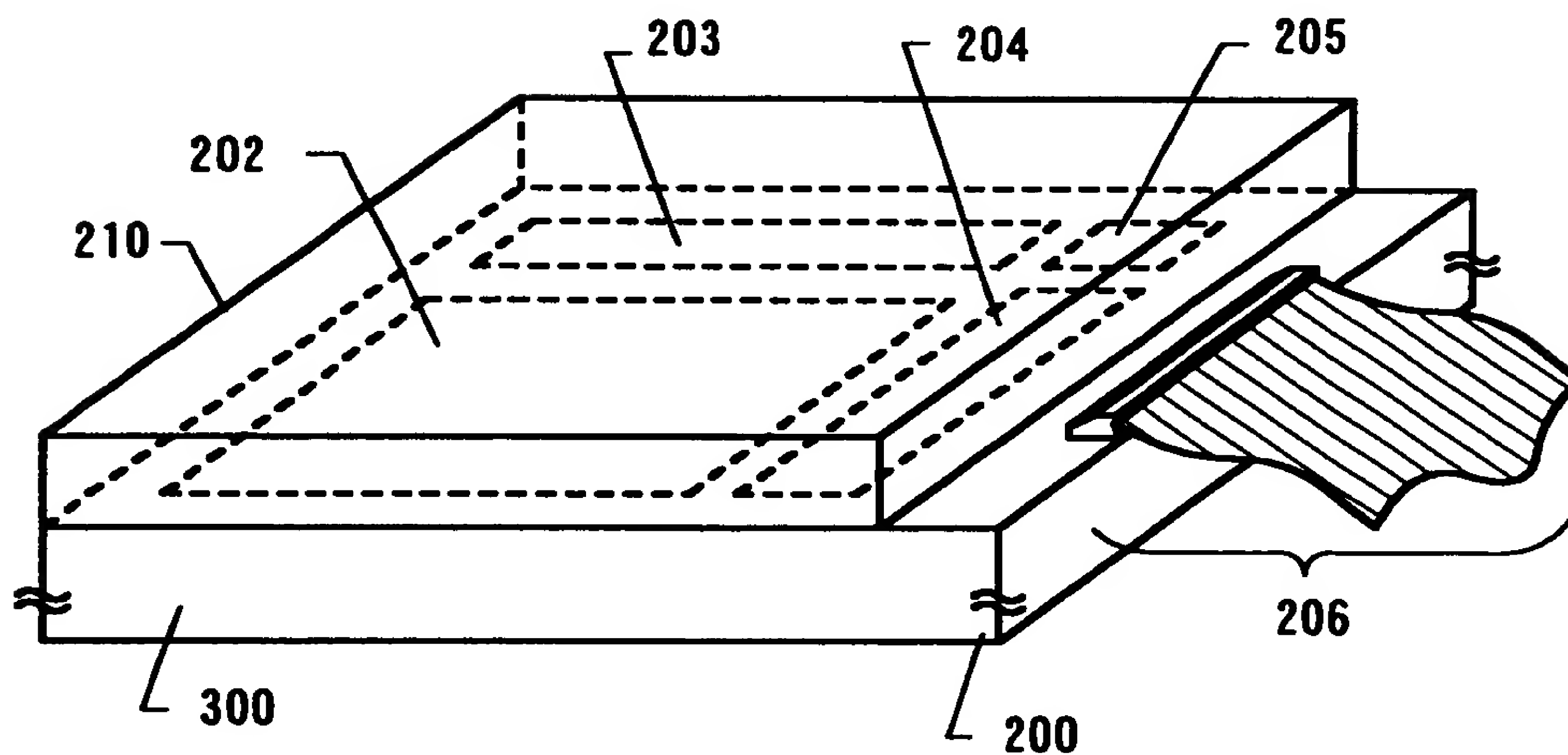


100:基板 101:下地膜 102:半導体層
103:絶縁膜(ゲート絶縁膜)
109:第2のゲート電極(第2のゲート配線)

191:第1のゲート電極(第1のゲート配線)
192:第2のゲート電極(第2のゲート配線)

181:チャネル形成領域
182, 183:第1の不純物領域
184, 185:第2の不純物領域
186, 187:第3の不純物領域
130:層間絶縁膜
131:ソース電極 132:ドレイン電極

【図 8】

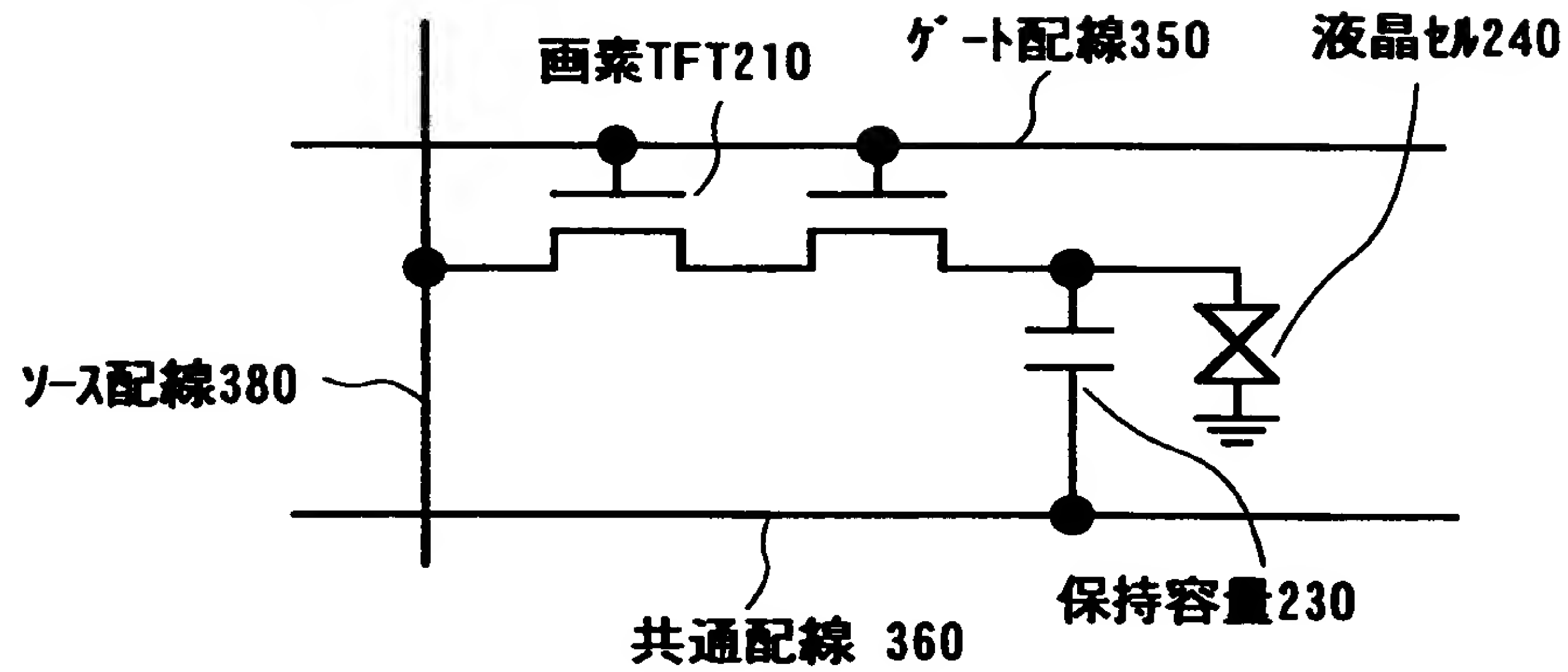


アクティブマトリクス基板200
300:ガラス基板 202:画素マトリクス回路
203:ゲートドライバ回路 204:ソースドライバ回路 205:信号処理回路
206:FPC

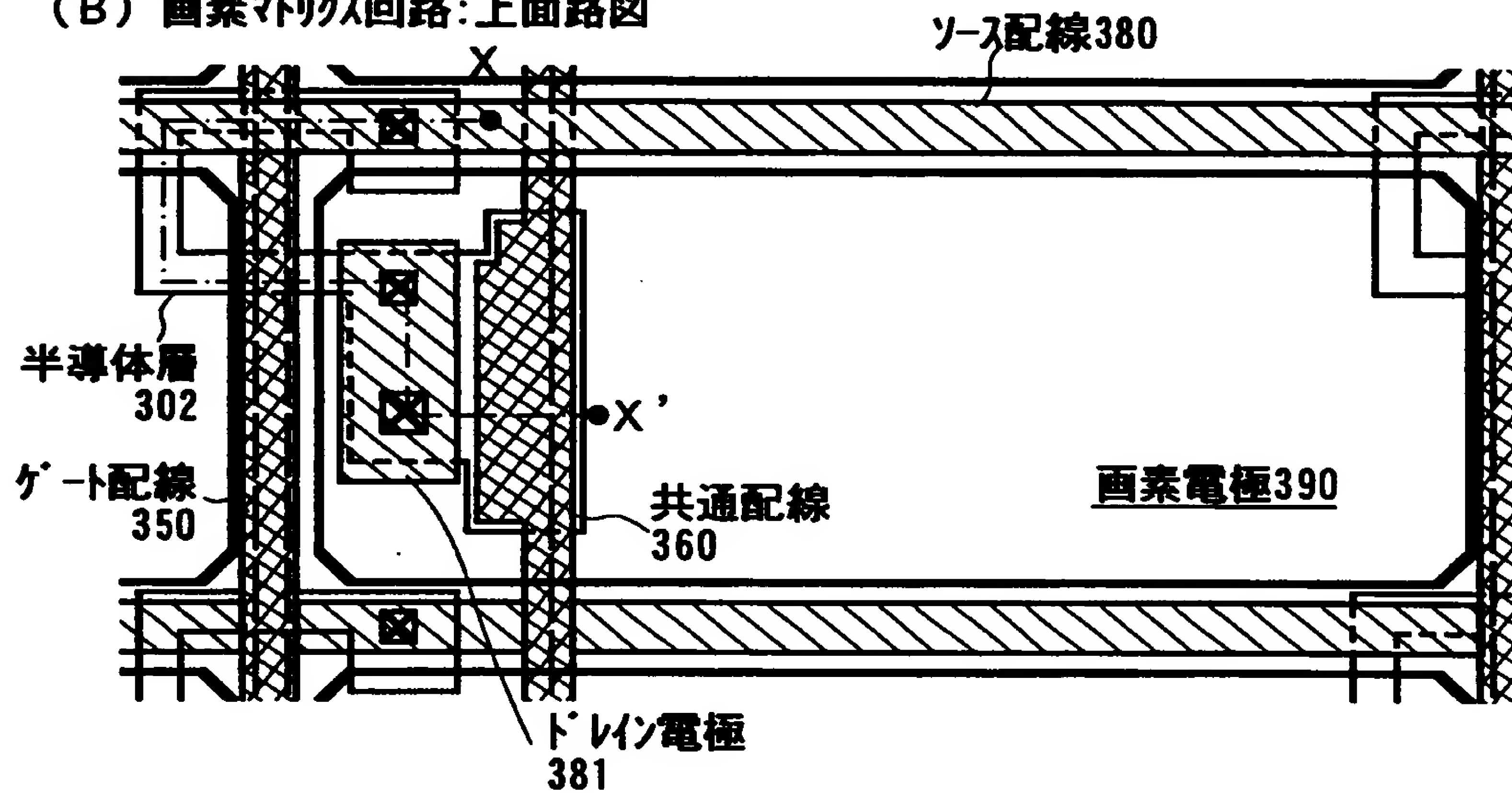
210:対向基板

【図 9】

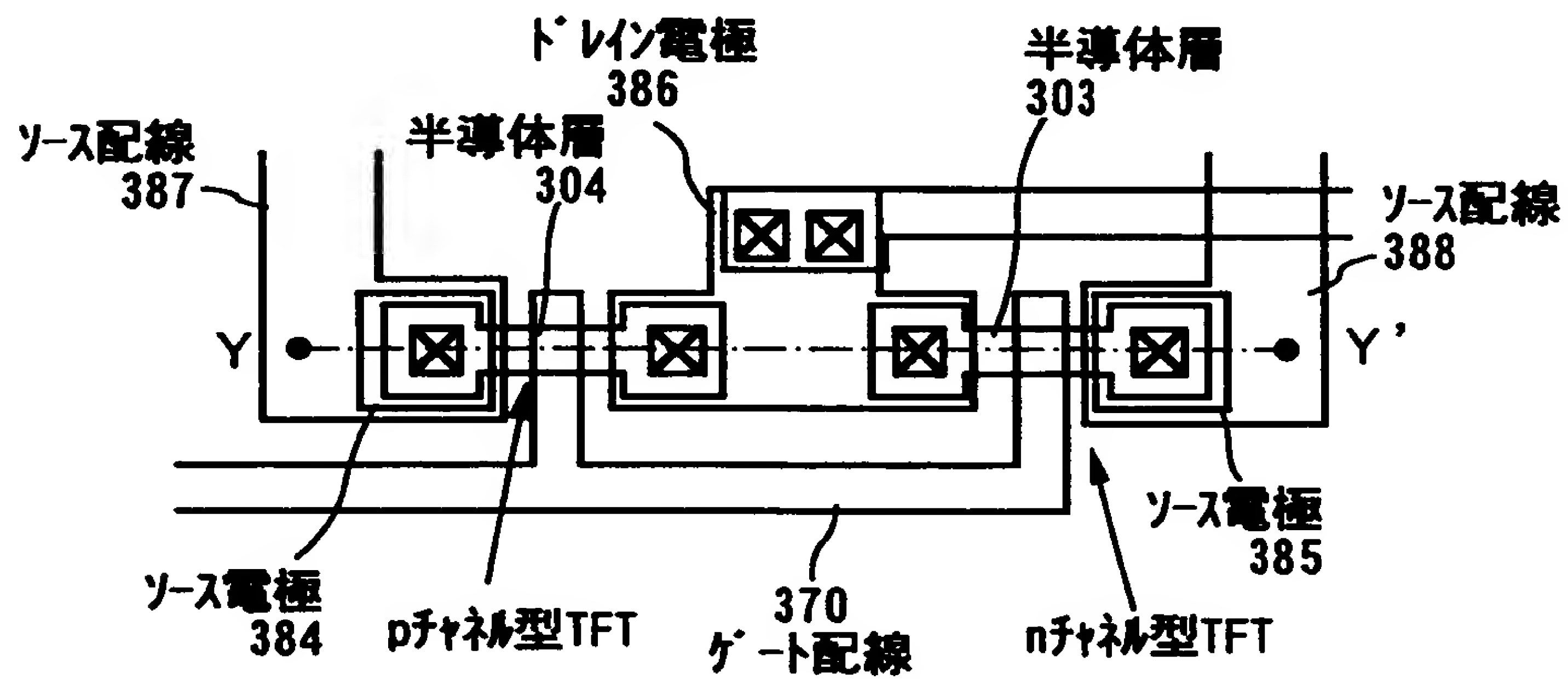
(A) 画素マトリクス回路:等価回路図



(B) 画素マトリクス回路:上面路図

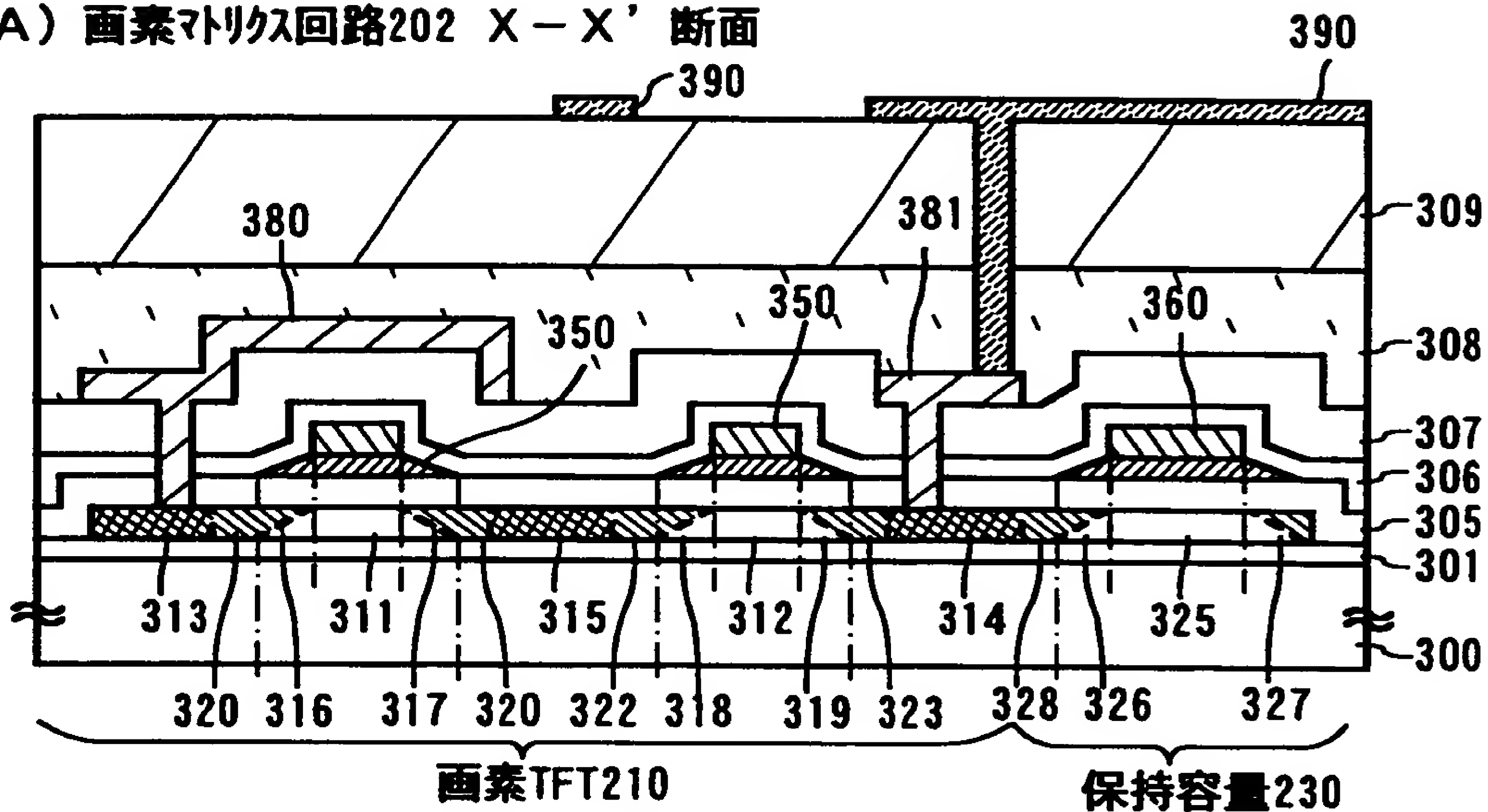


(C) CMOS回路:上面図



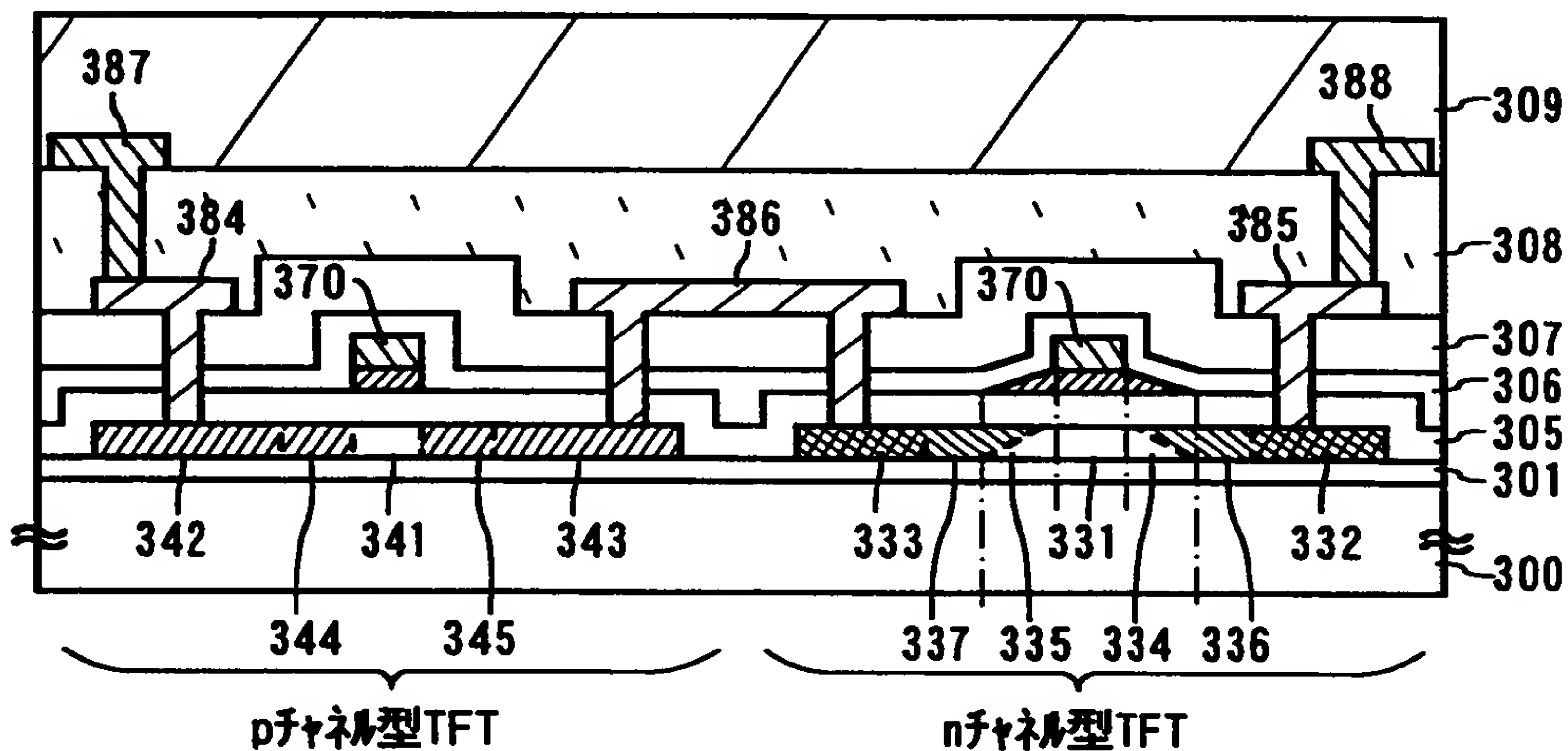
【図 1 0】

(A) 画素マトリクス回路202 X-X' 断面



300:ガラス基板 301:下地膜 305:ゲート絶縁膜 306:保護膜
 307:層間絶縁膜 308, 309:平坦化膜
 311, 312:チャネル形成領域 313-315:n+型不純物領域
 316-319:n-型不純物領域 320-323:n-型不純物領域
 325:チャネル形成領域 326, 327:n-型不純物領域 328:n-型不純物領域
 350:ゲート配線(ゲート電極) 360:共通配線(共通電極)
 380:ソース配線 381:ドレイン電極 390:画素電極

(B) CMOS回路Y-Y' 断面



300:ガラス基板 301:下地膜 305:ゲート絶縁膜 306:保護膜
 307:層間絶縁膜 308, 309:平坦化膜
 331:チャネル形成領域 332, 333:n+型不純物領域
 334, 335:n-型不純物領域 336, 337:n-型不純物領域
 341:チャネル形成領域 342, 343:p+型不純物領域 344, 345:p+型不純物領域
 370:ゲート配線(ゲート電極) 384, 385:ソース電極 386:ドレイン電極
 387, 388:ソース配線

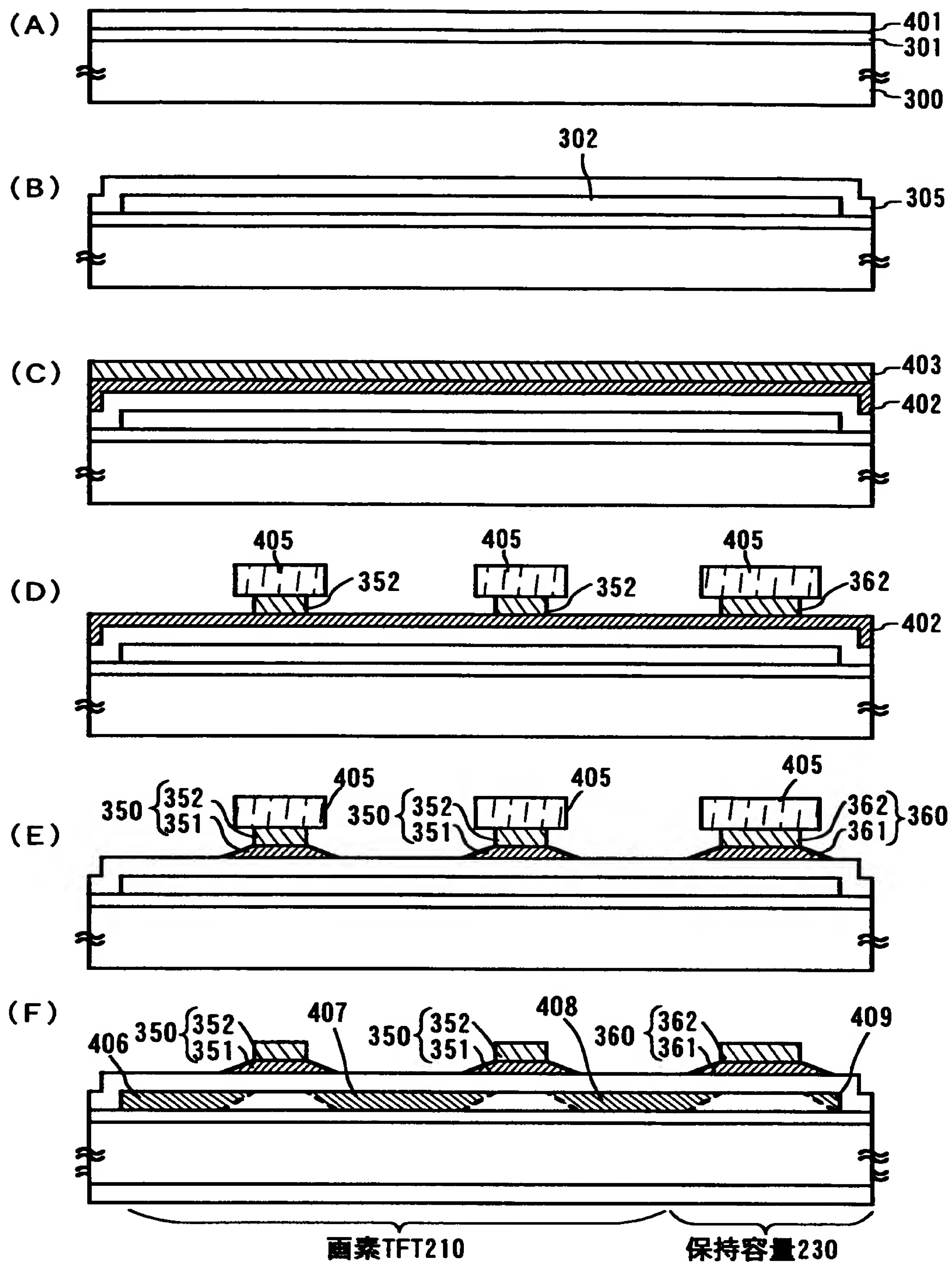
【図 1 1】

.

.

.

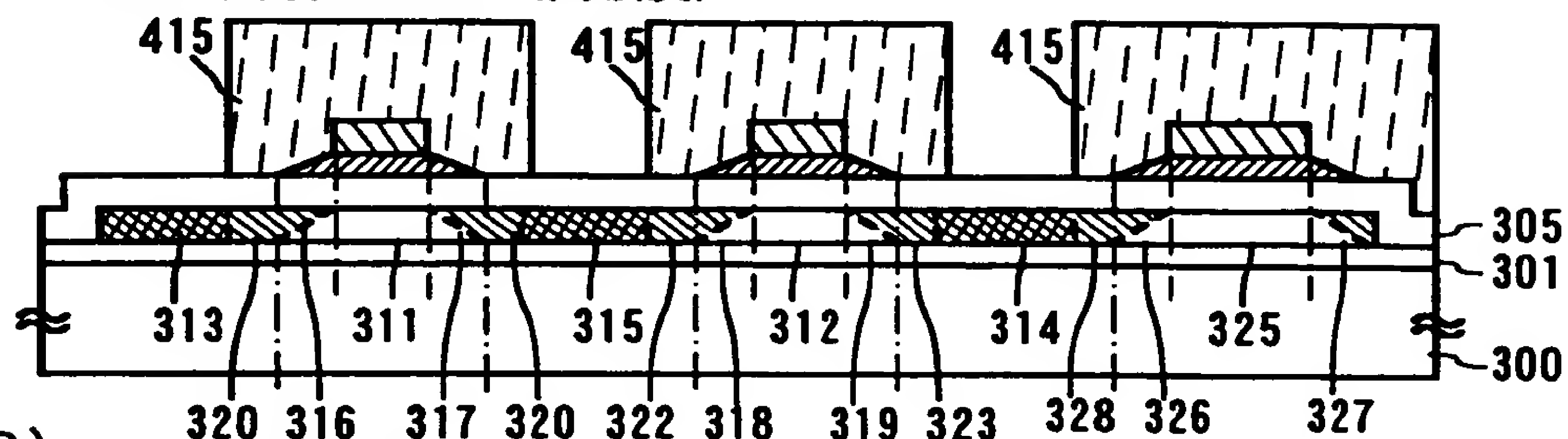
.



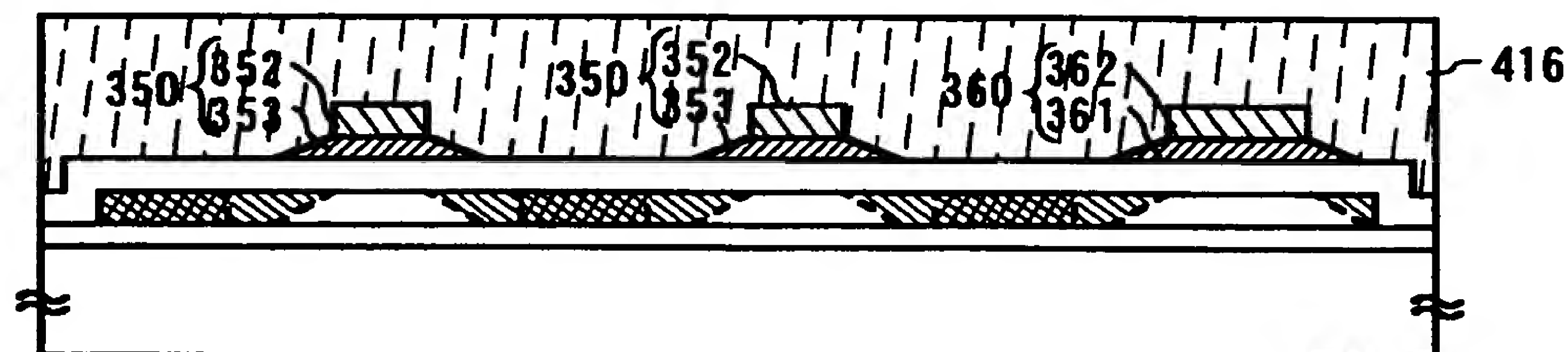
300:ガラス基板 301:下地膜 302:半導体層 305:ゲート絶縁膜
 350:ゲート配線(ゲート電極)
 351:第1のゲート配線(第1のゲート電極) 352:第2のゲート配線(第2のゲート電極)
 360:共通配線(共通電極)
 371:第1の共通配線(第1の共通電極) 372:第2共通配線(第2の共通電極)
 401:結晶性シリコン膜 402:n型シリコン膜 403:Mo-W膜 405:レジストマスク
 406-409:n-型領域

【図 1 2】

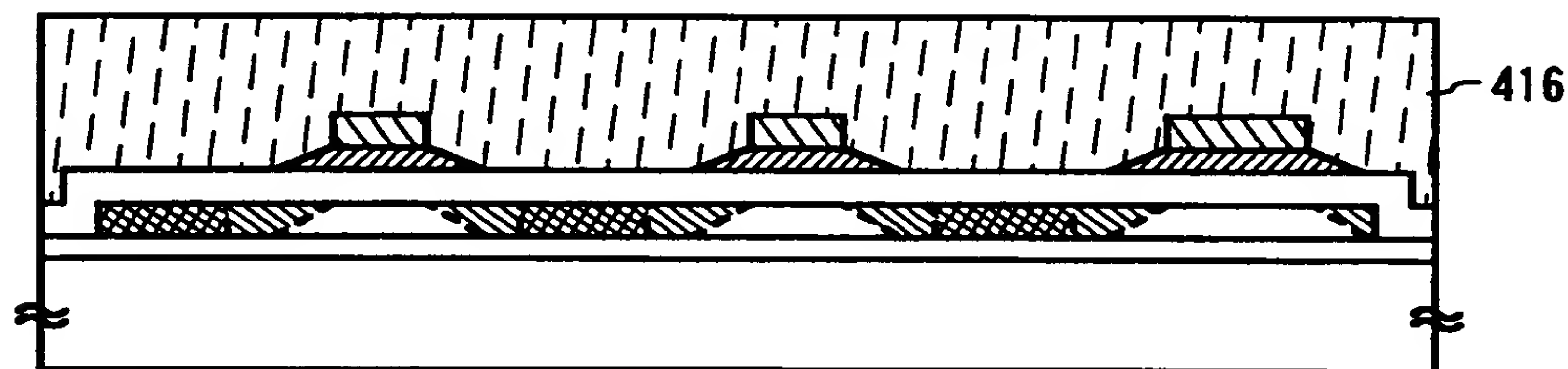
(A) n型の不純物の添加 (高濃度)



(B)



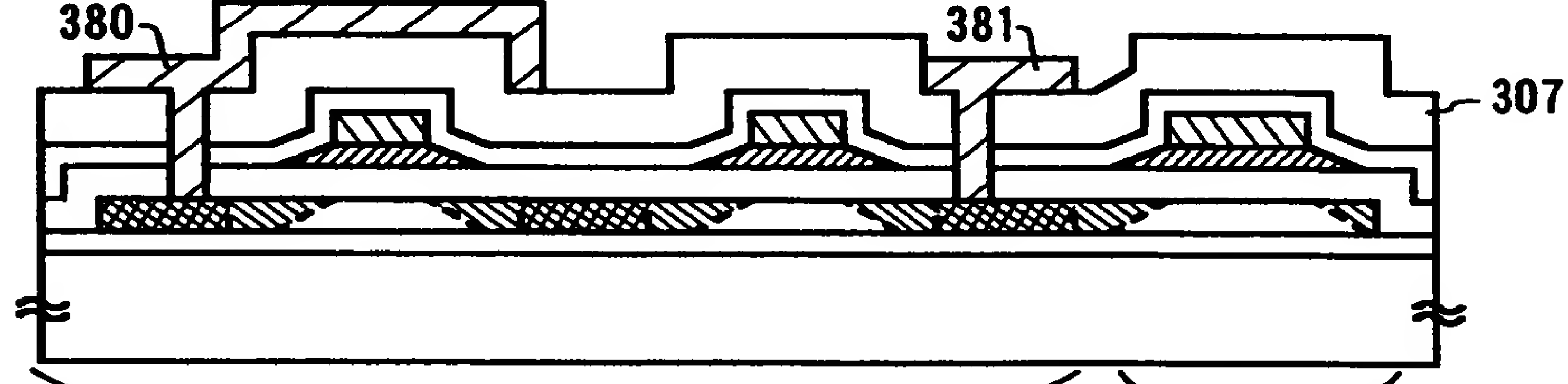
(C) p型の不純物の添加 (高濃度)



(D)



(E)

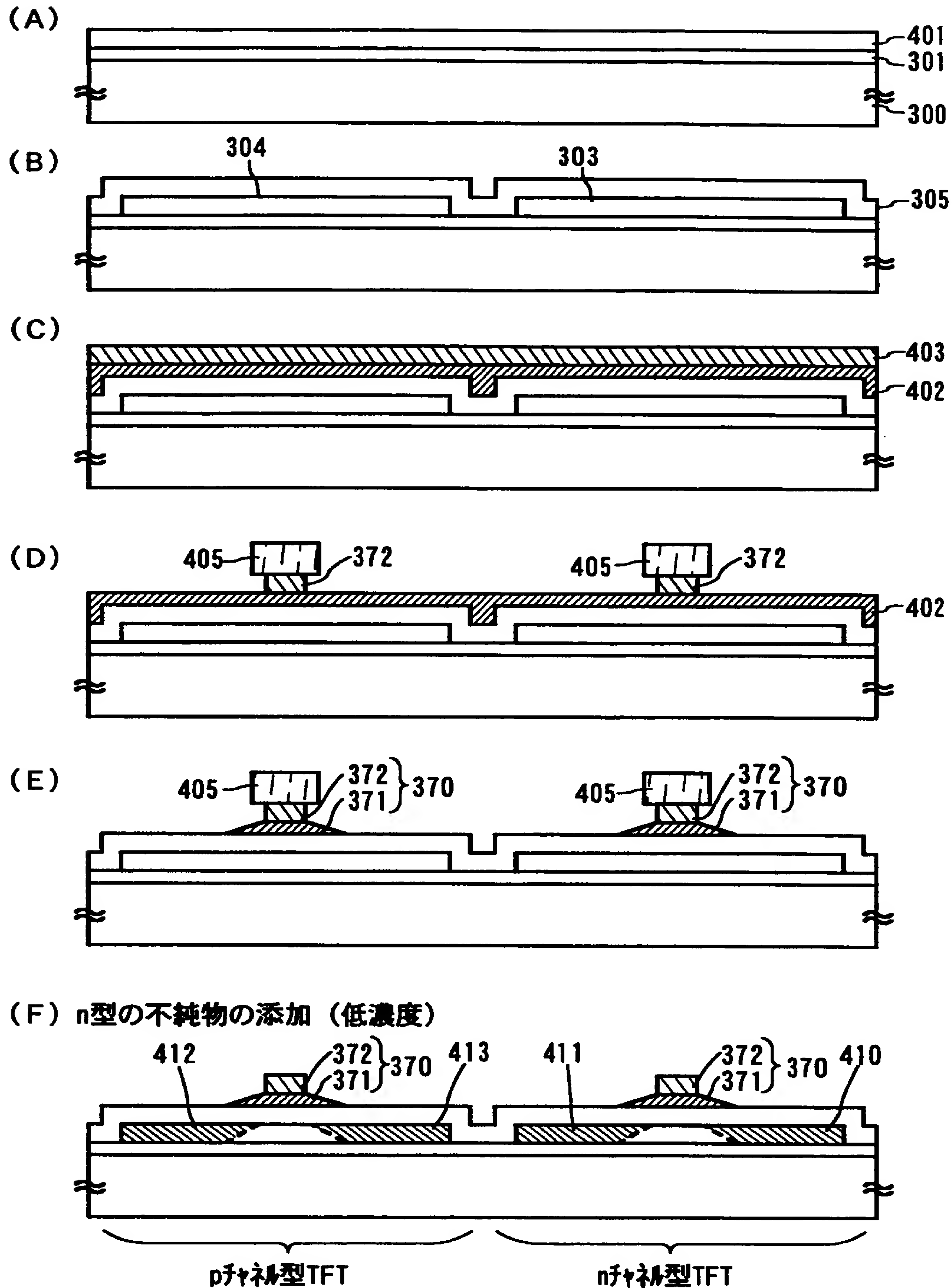


画素TFT210

保持容量230

300:ガラス基板 301:下地膜 305:ゲート絶縁膜 306:保護膜
 307:層間絶縁膜 311, 312:チャネル形成領域 313-315:n+型不純物領域
 316-319:n-型不純物領域 320-323:n-型不純物領域
 325:チャネル形成領域 326, 327:n-型不純物領域 328:n-型不純物領域
 350:ゲート配線(ゲート電極)
 351:第1のゲート配線(第1のゲート電極) 352:第2のゲート配線(第2のゲート電極)
 360:共通配線(共通電極)
 361:第1の共通配線(第1の共通電極) 362:第2共通配線(第2の共通電極)
 380:ソース配線 381:ドレイン電極 415, 416:レジストマスク

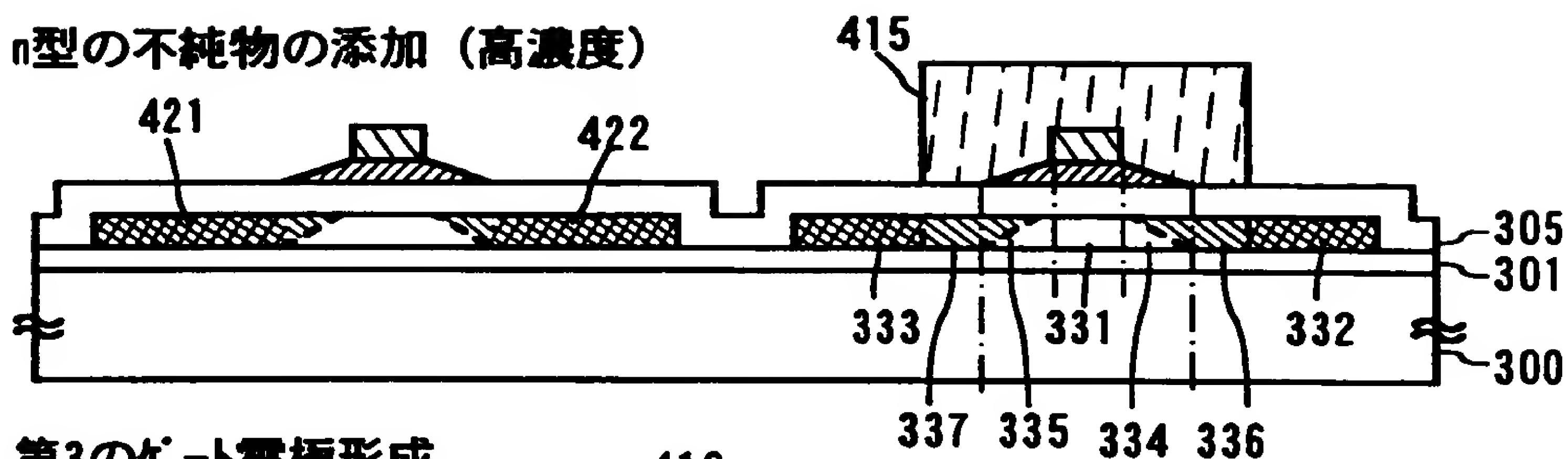
【図 1 3】



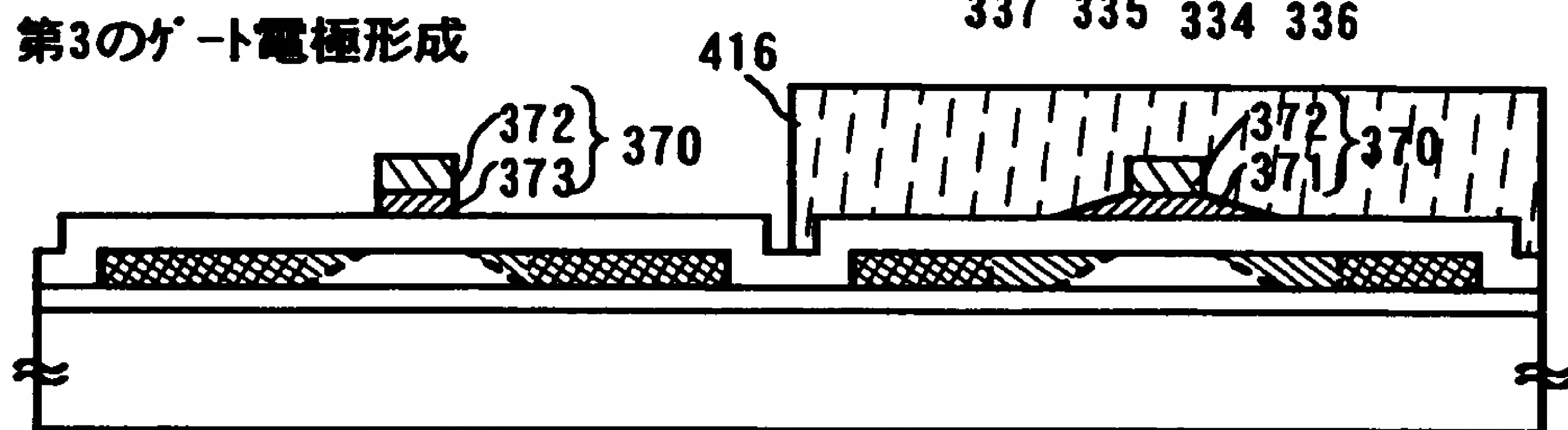
300:ガラス基板 301:下地膜 303, 304:半導体層 305:ゲート絶縁膜
 370:ゲート配線(ゲート電極)
 371:第1のゲート配線(第1のゲート電極)
 372:第2のゲート配線(第2のゲート電極)
 401:結晶性シリコン膜 402:n型シリコン膜 403:Mo-W膜 405:レジストマスク
 410-413:n-型領域

【図 1 4】

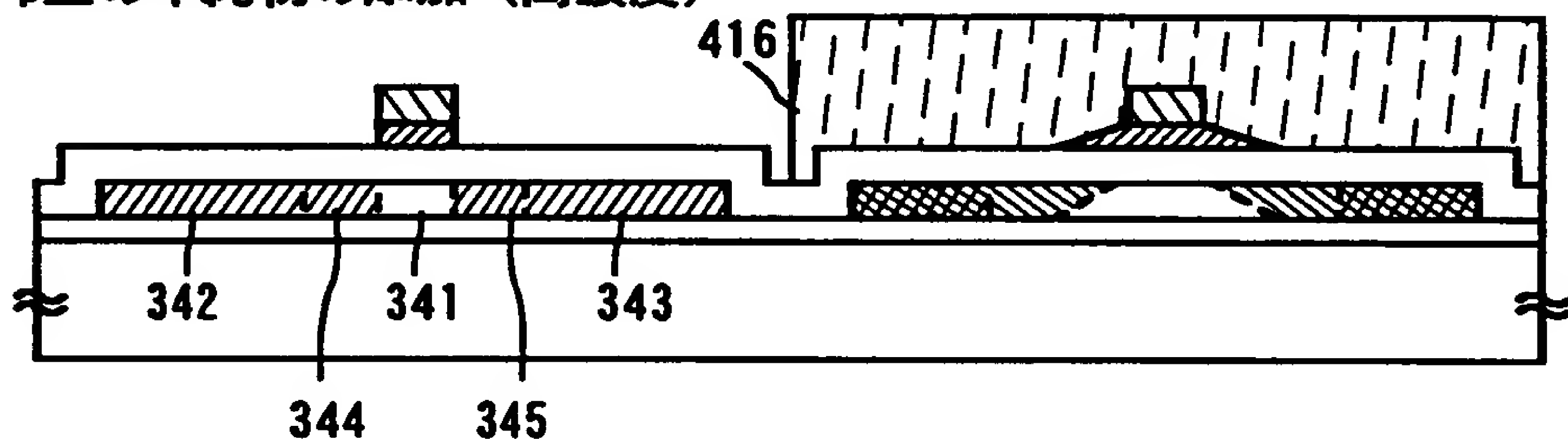
(A) n型の不純物の添加 (高濃度)



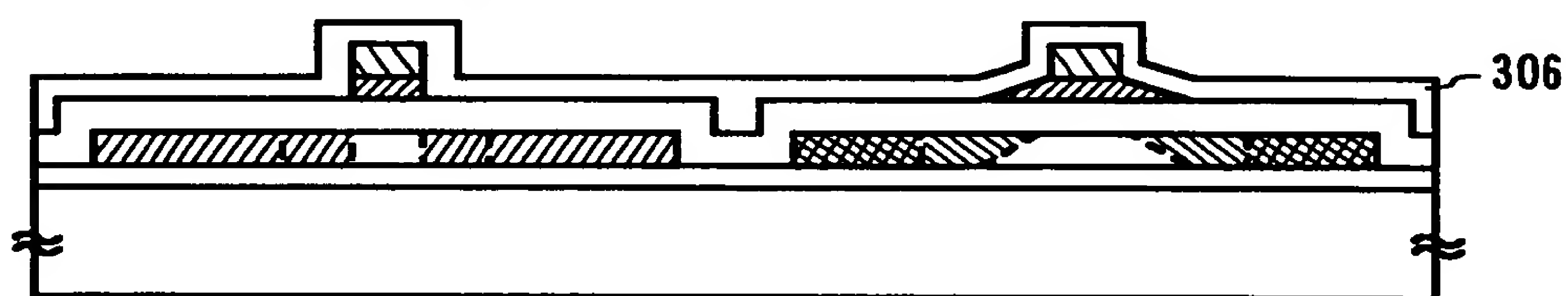
(B) 第3のゲート電極形成



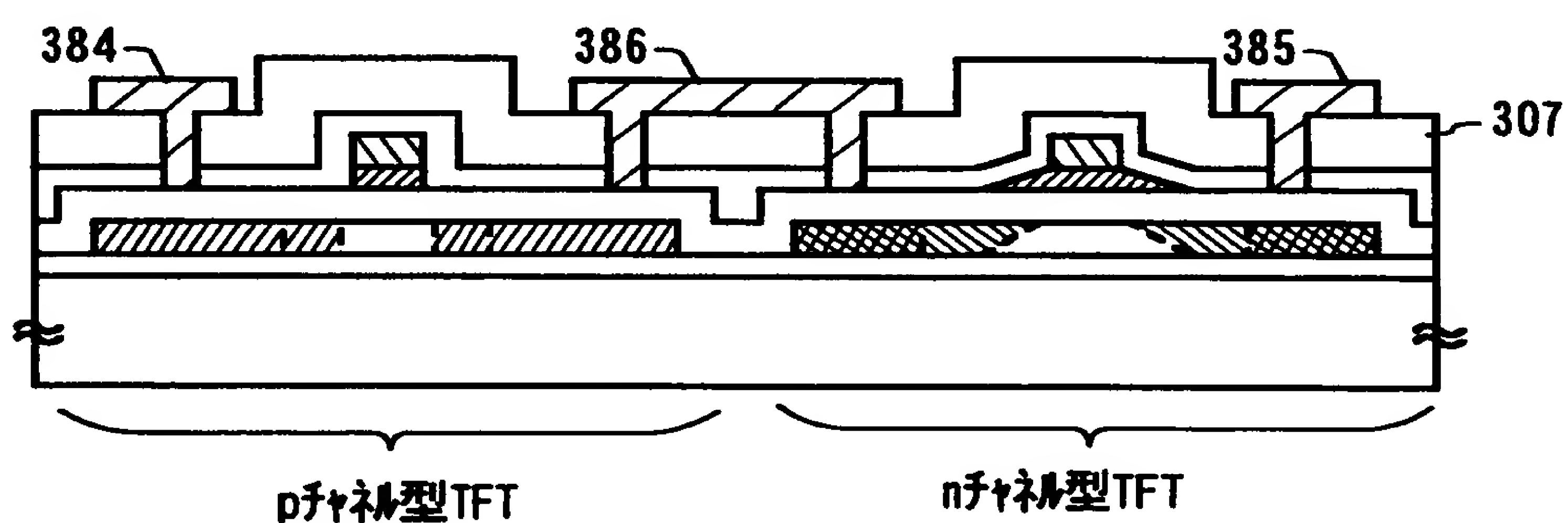
(C) p型の不純物の添加 (高濃度)



(D)

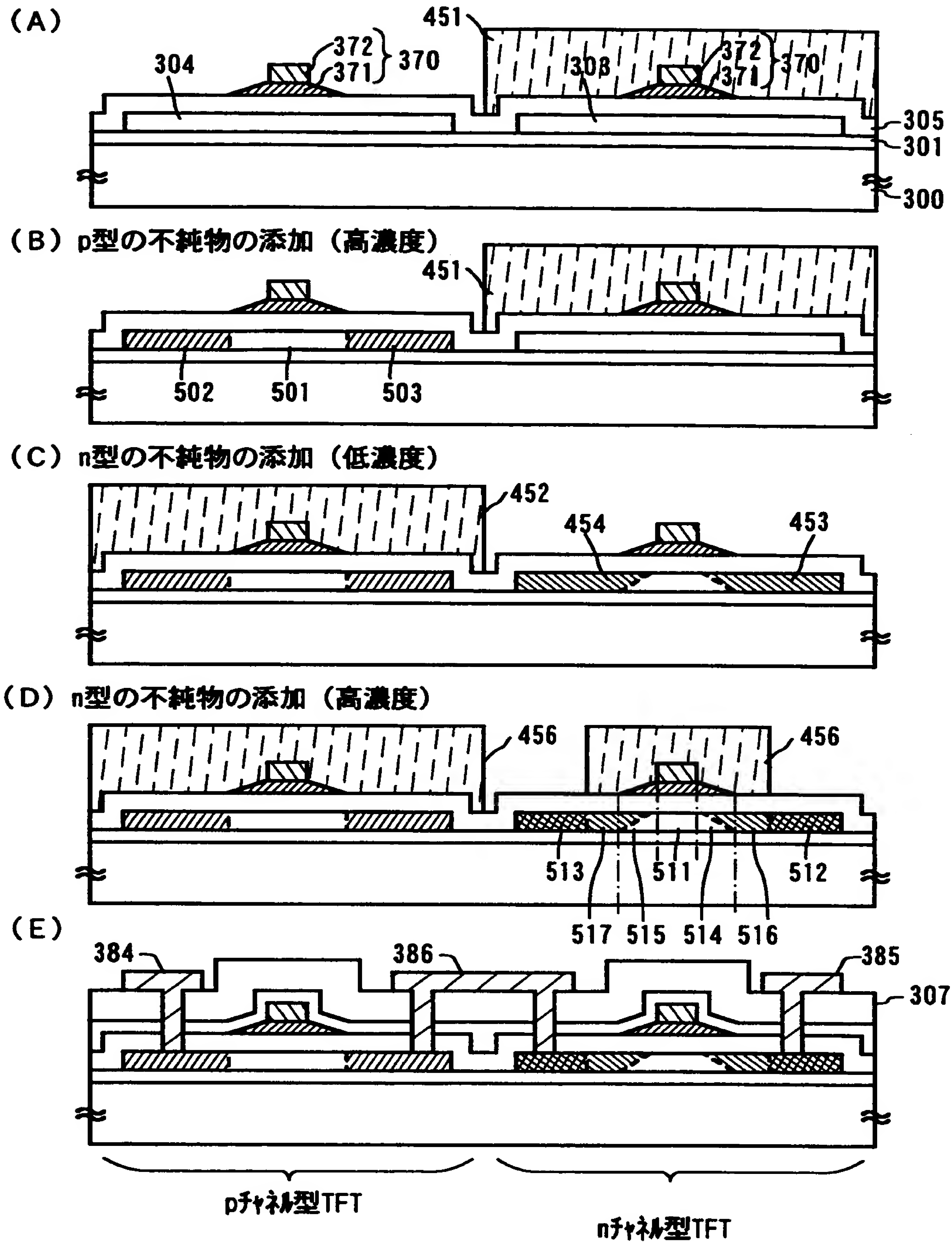


(E)



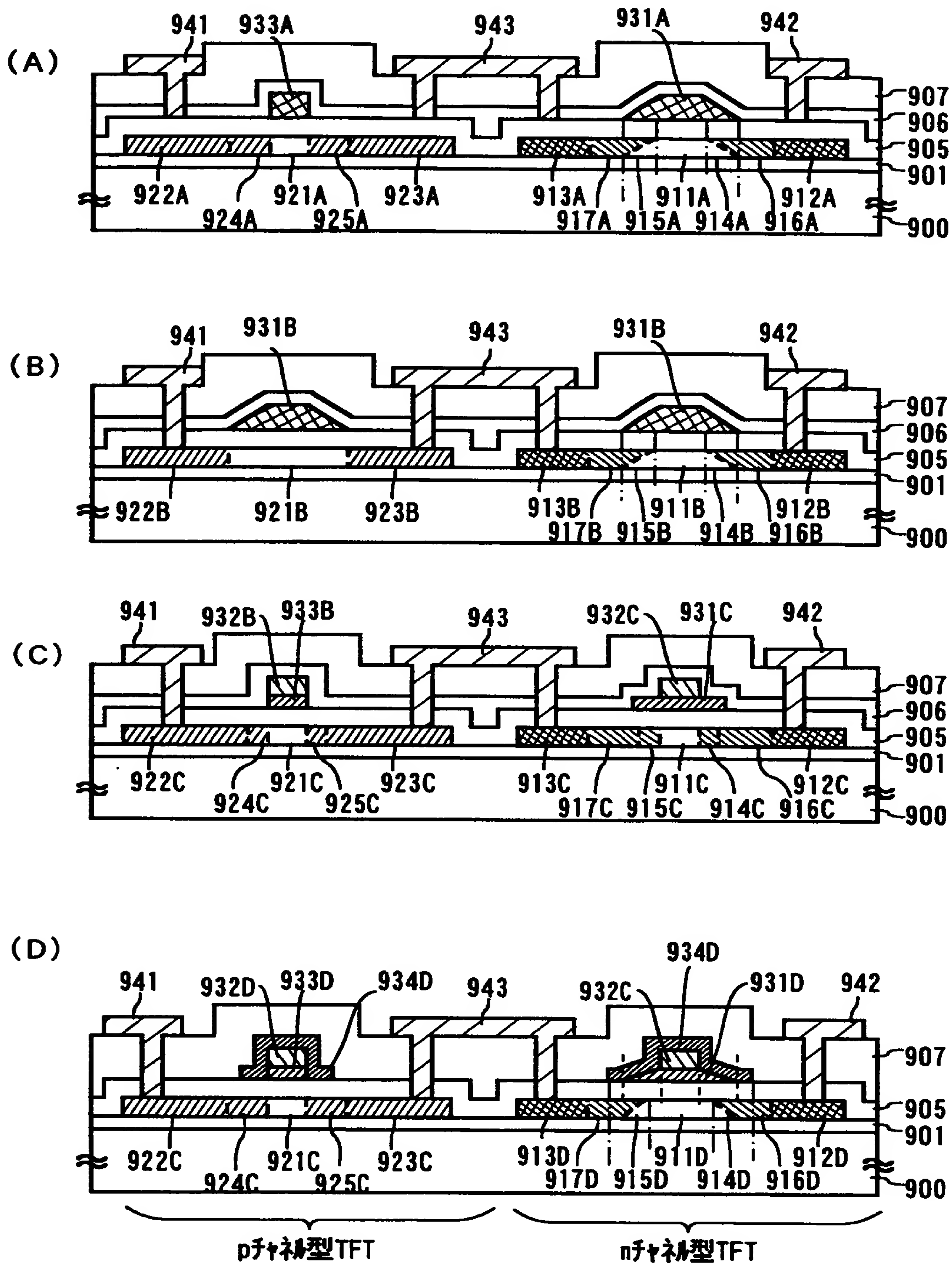
300:ガラス基板 301:下地膜 305:ゲート絶縁膜 306:保護膜 307:層間絶縁膜
 331:チャネル形成領域 332, 333:n+型不純物領域 334, 335:n-型不純物領域
 336, 337:n-型不純物領域
 341:チャネル形成領域 342, 343:p+型不純物領域 344, 345:p+型不純物領域
 370:ゲート配線(ゲート電極)
 371:第1のゲート配線(第1のゲート電極) 372:第2のゲート配線(第2のゲート電極)
 373:第3のゲート電極
 384, 385:ソース電極 386:ドレイン電極
 415, 416:レジストマスク 421, 422:n+型不純物領域

【図 1 5】



300:ガラス基板 301:下地膜 305:ゲート絶縁膜 306:保護膜 307:層間絶縁膜
 370:ゲート配線(ゲート電極)
 371:第1のゲート配線(第1のゲート電極) 372:第2のゲート配線(第2のゲート電極)
 384, 385:ソース電極 386:ドレイン電極 451, 452, 455, 456:レジスタマスク
 501:チャネル形成領域 502, 503:p+型不純物領域
 511:チャネル形成領域 512, 513:n+型不純物領域
 514, 515:n-型不純物領域 516, 517:n-型不純物領域

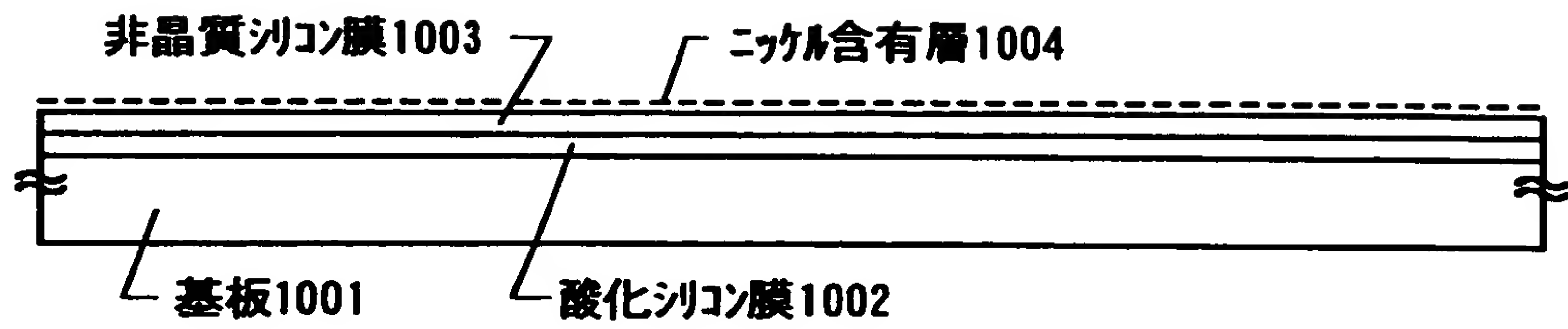
【図 1 6】



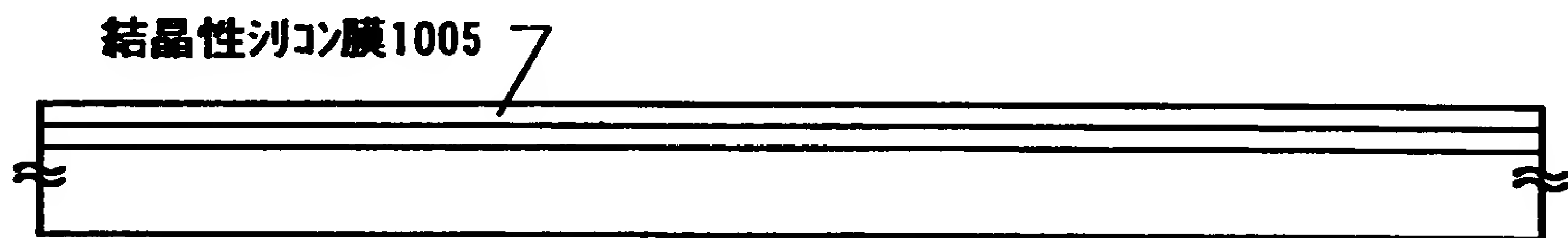
900: ガラス基板 901: 下地膜 905: ゲート絶縁膜 906: 保護膜 907: 層間絶縁膜
 911: チャネル形成領域 912, 913: n+型不純物領域
 914, 915: n-型不純物領域 916, 917: n-型不純物領域
 921: チャネル形成領域 922, 923: p+型不純物領域 924, 925: p+型不純物領域
 931, 932, 933, 934: ゲート電極(ゲート配線)
 941, 942: ソース電極 943: ドレイン電極

【図 1 7】

(A)

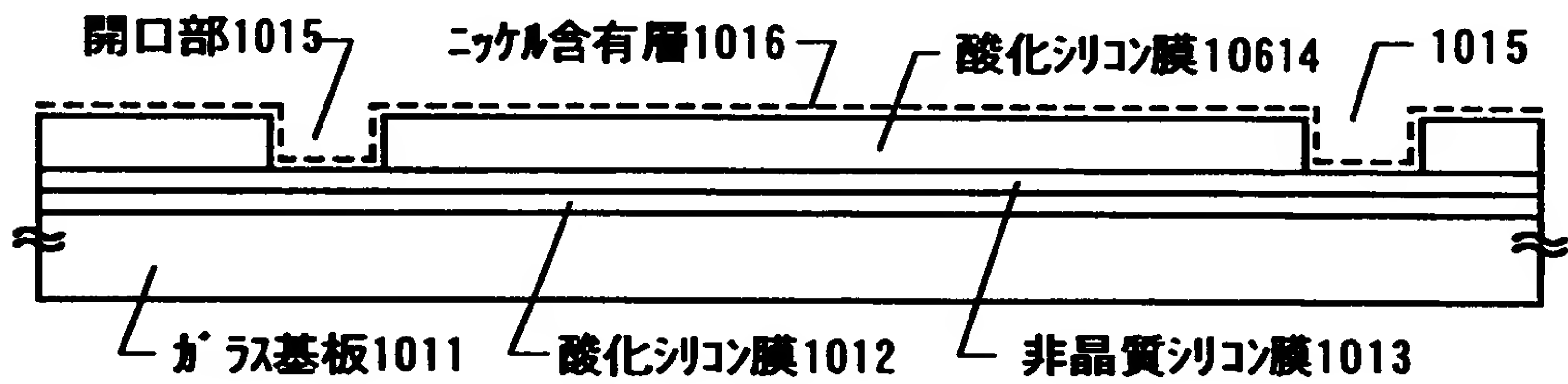


(B) 結晶化工程

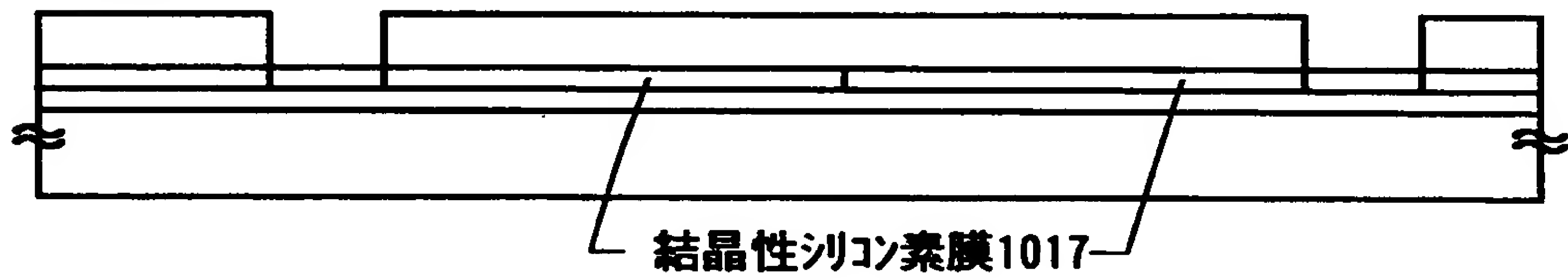


【図 1 8】

(A)

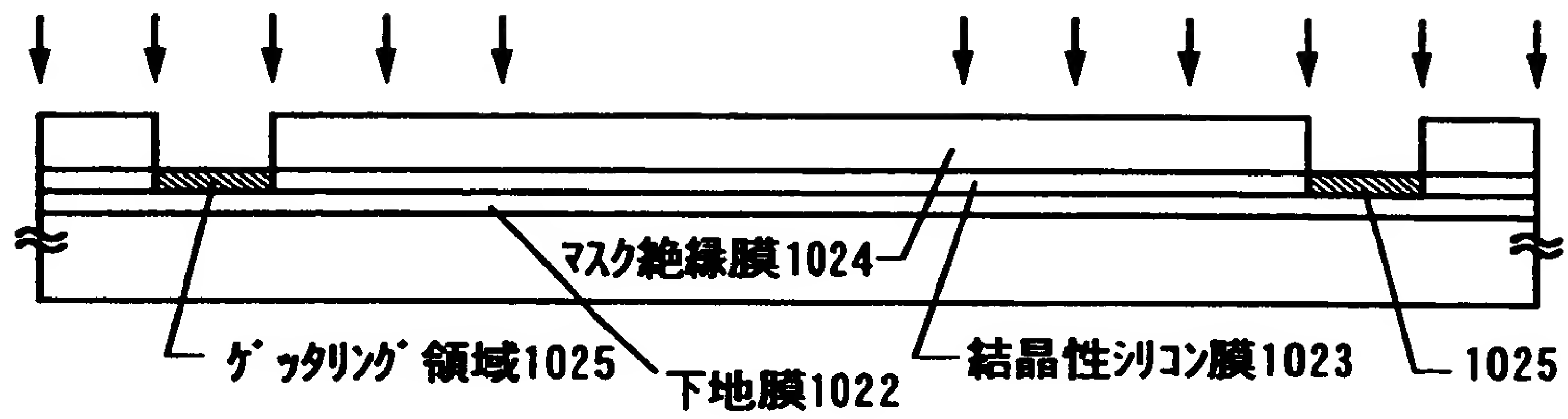


(B) 結晶化工程

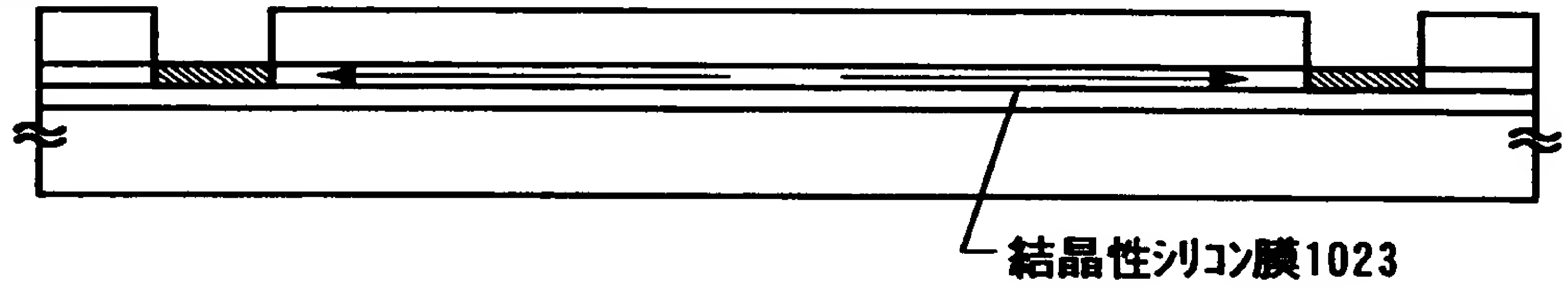


【図19】

(A) リン添加工程

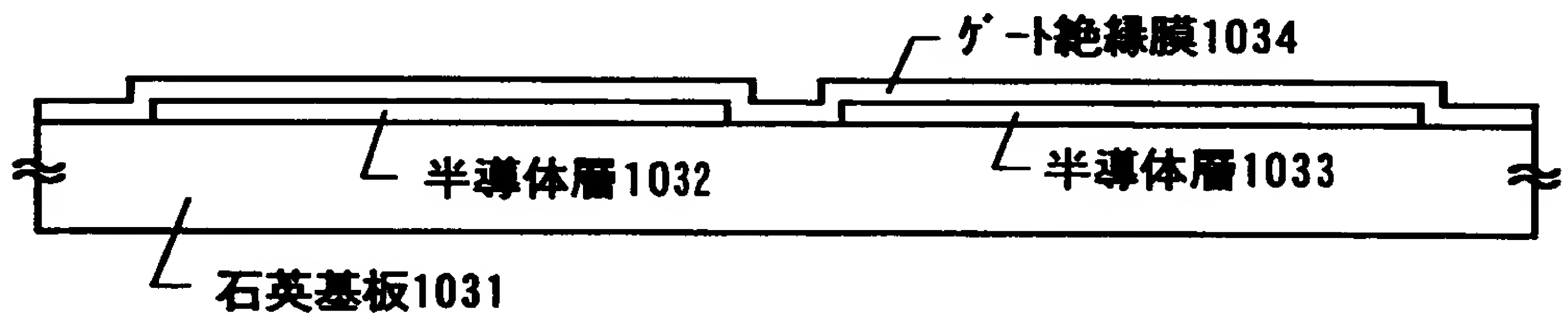


(B)

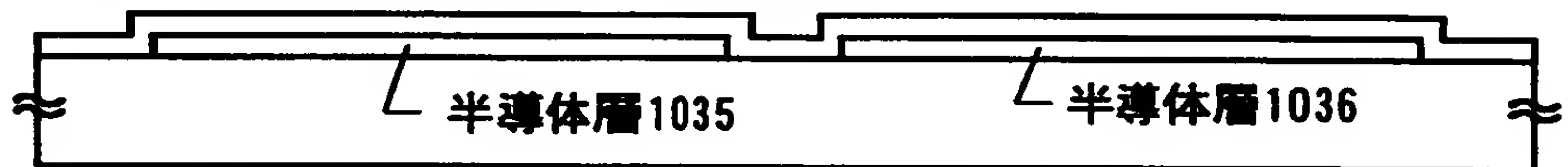


【図20】

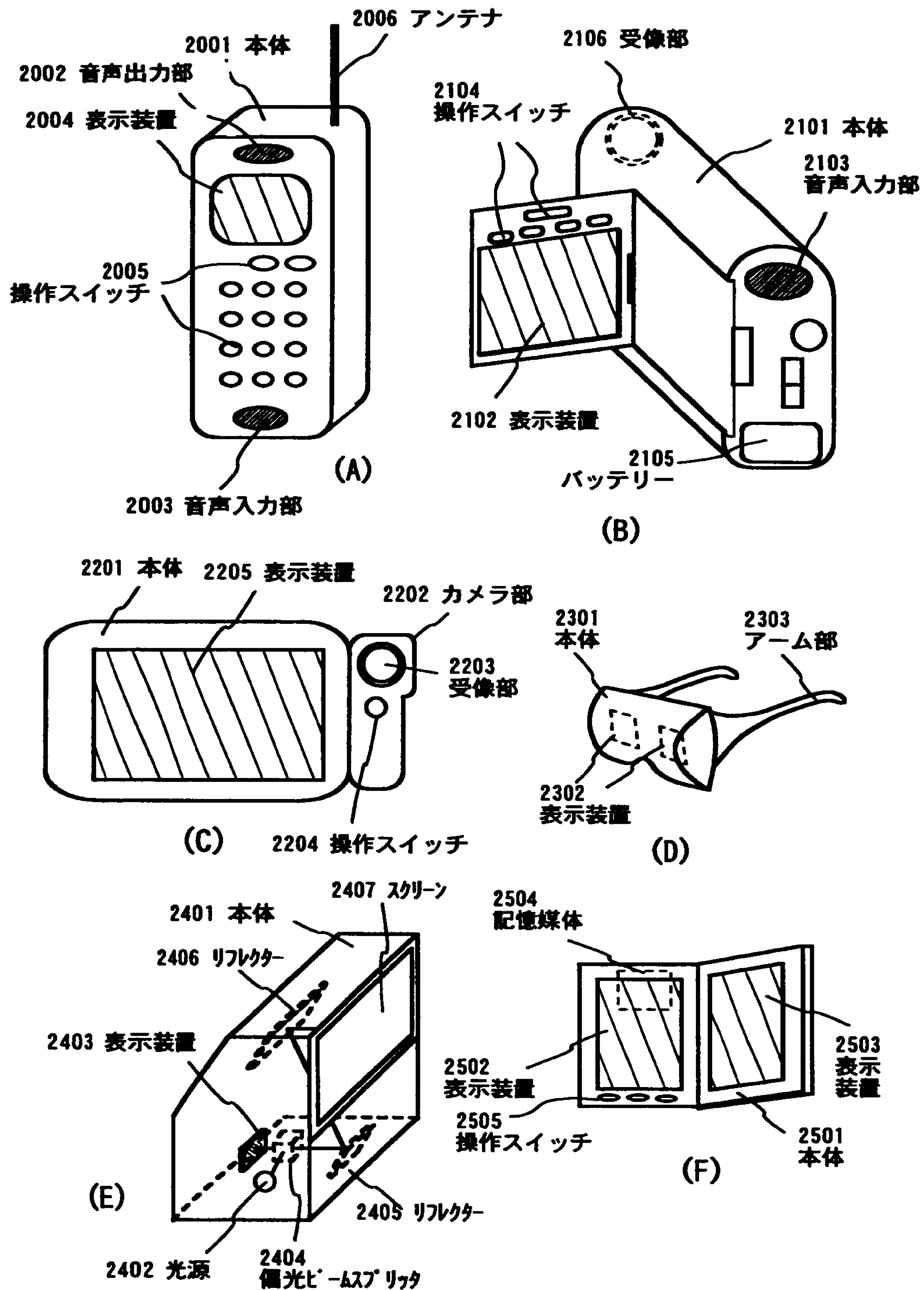
(A)



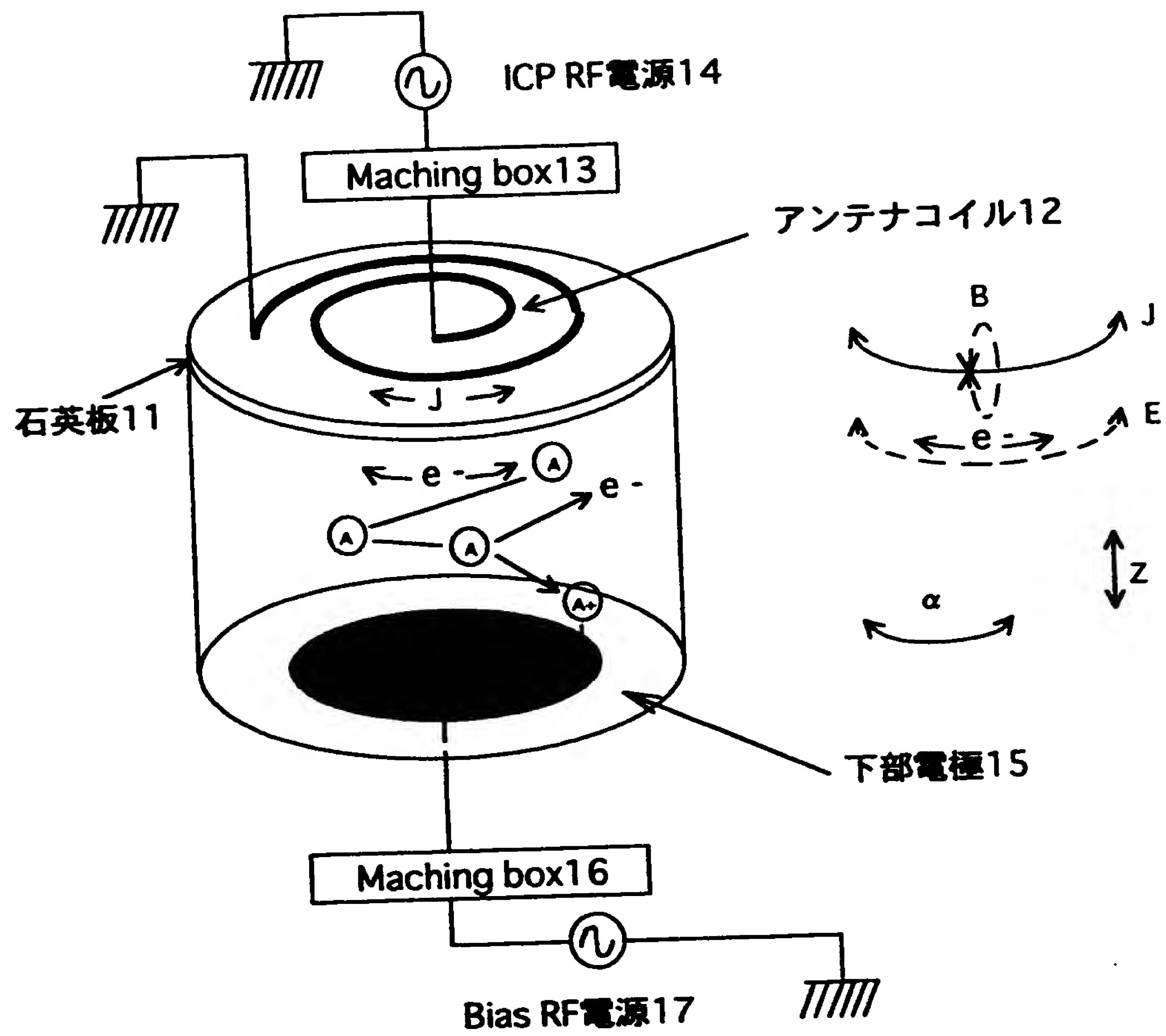
(B) H₂ガスを含む雰囲気中での熱処理



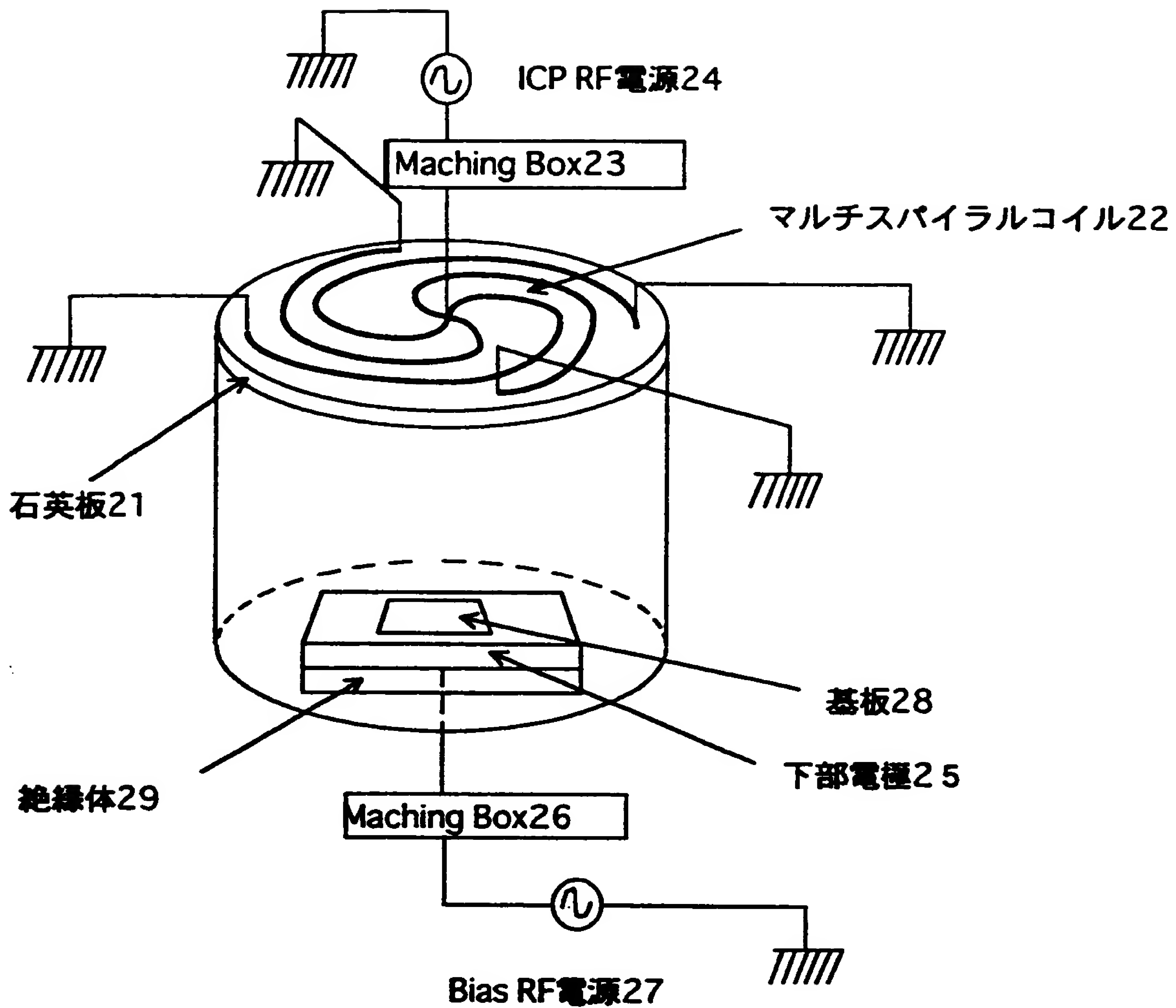
【図 2 1】



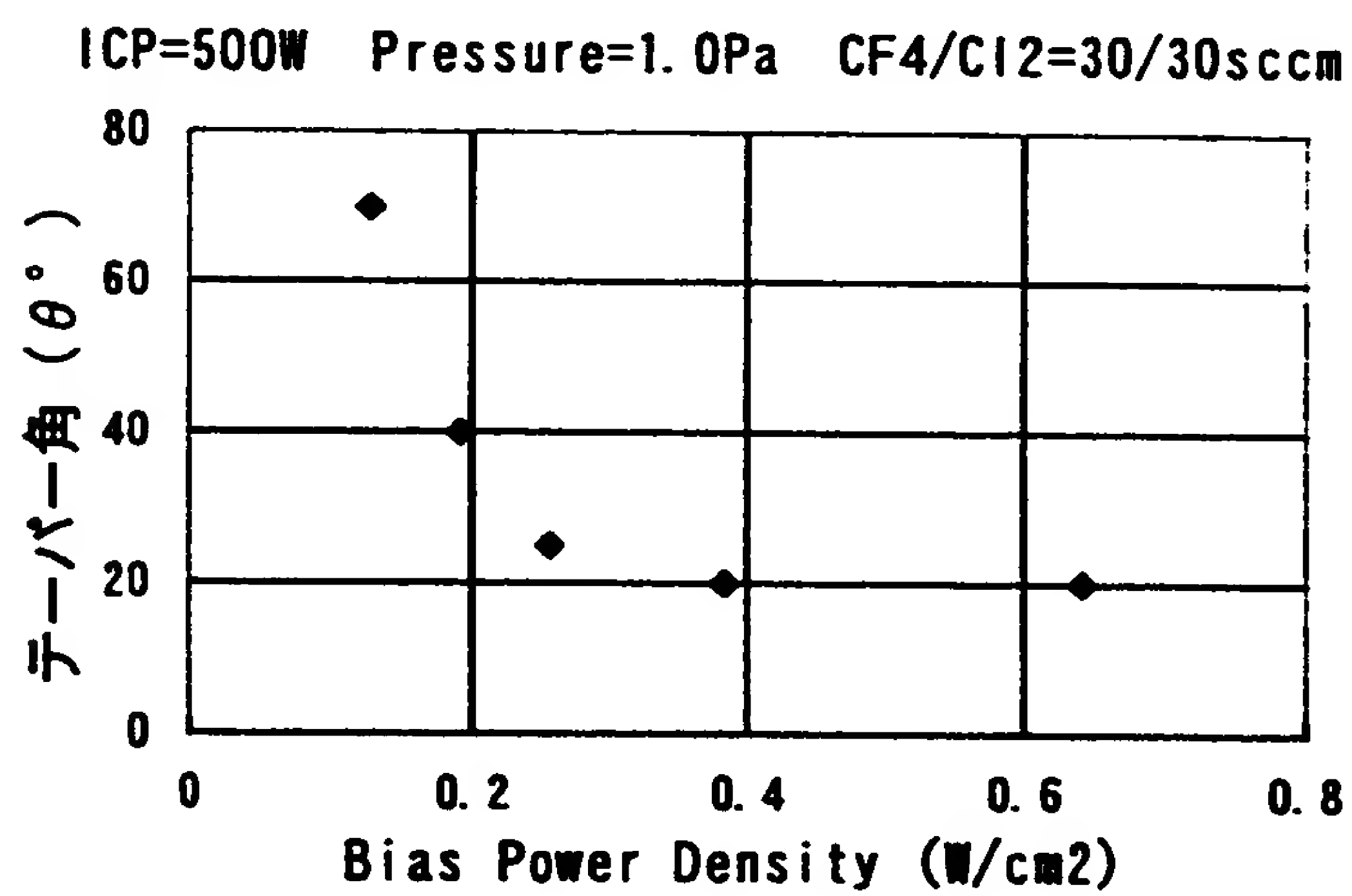
【図 2 2】



【図 2 3】

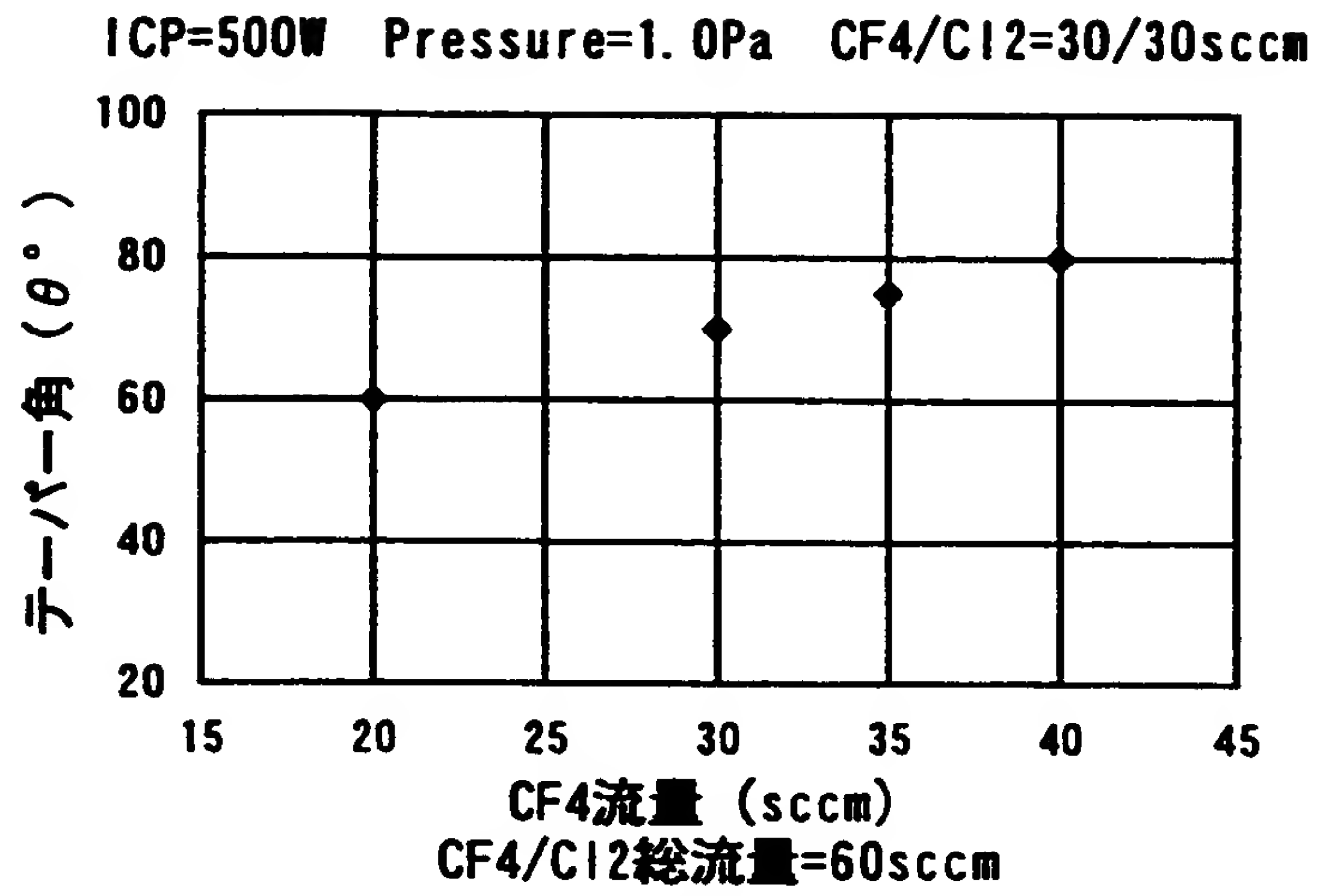


【図 2 4】



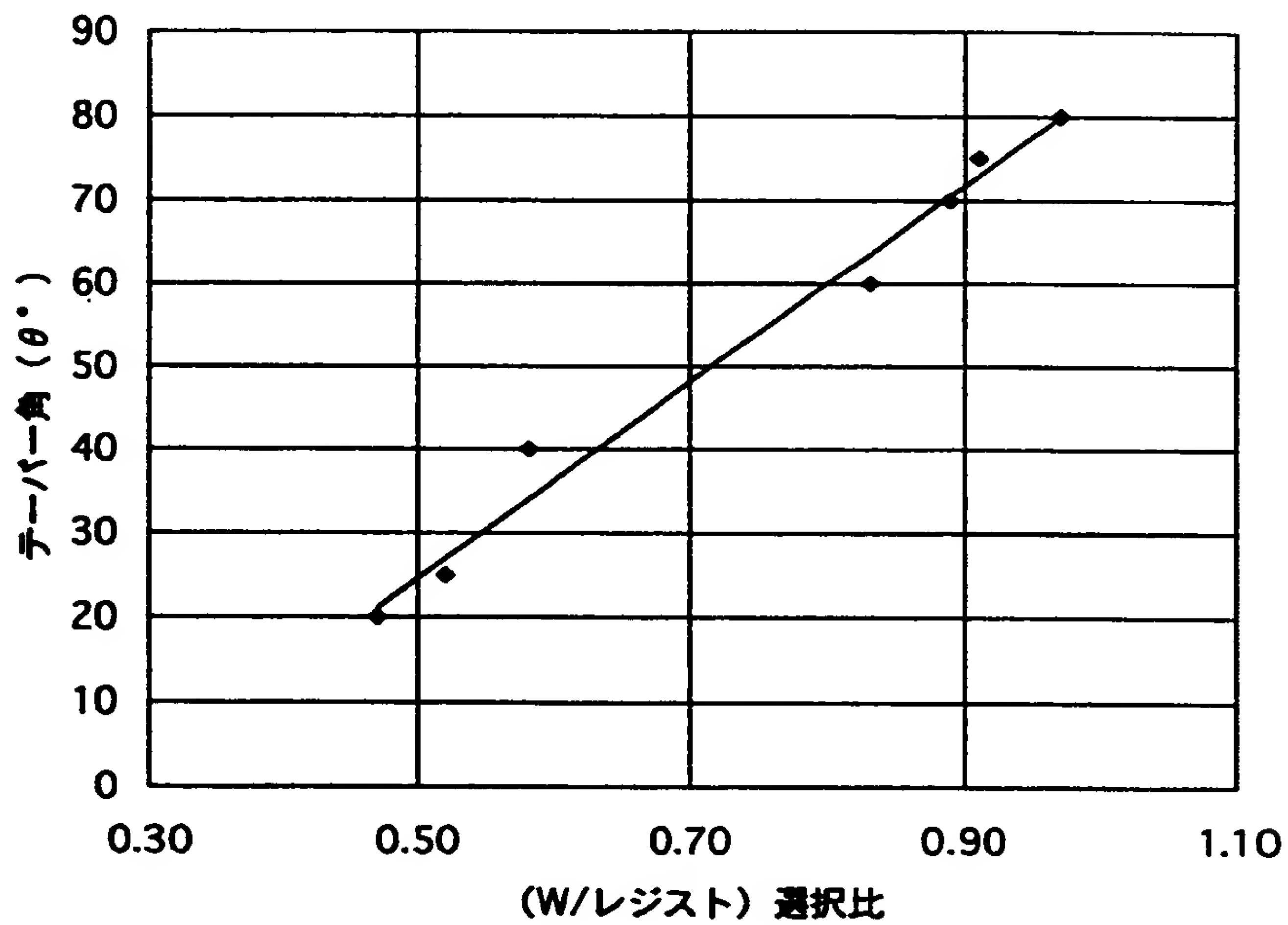
配線の断面形状（テーパー角θ）のBias POWER依存性

【図 2 5】



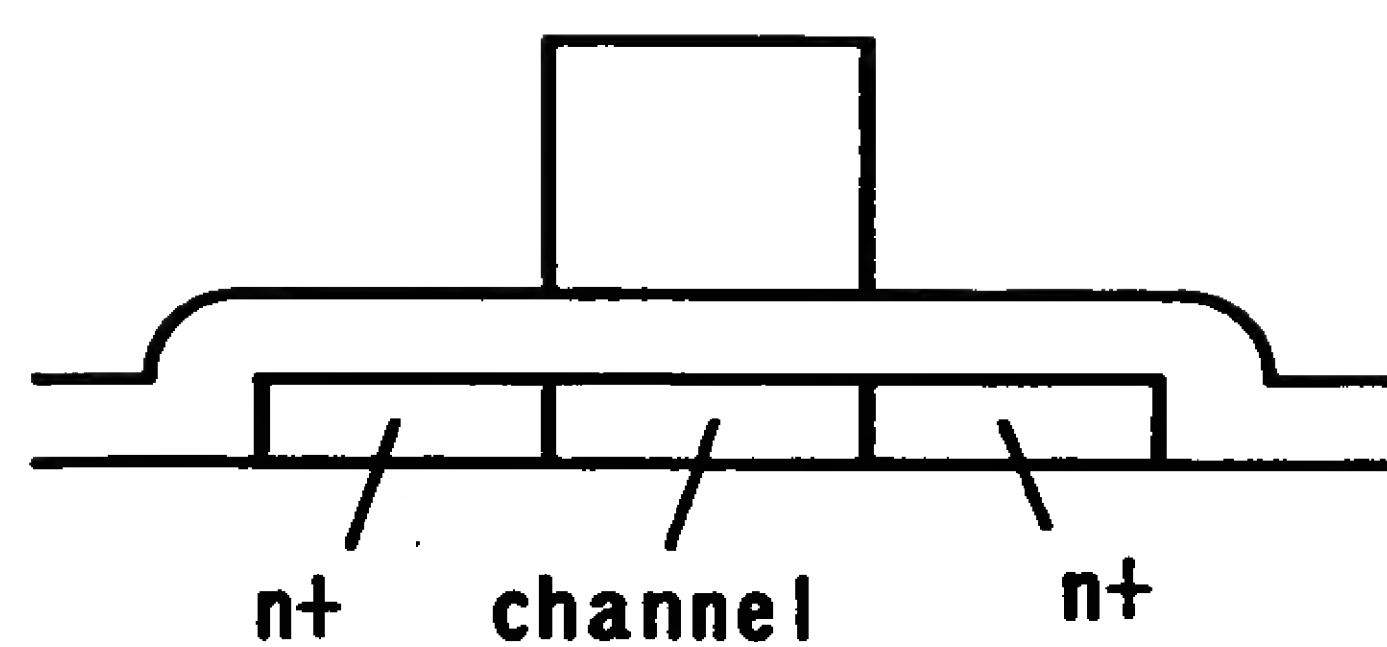
配線の断面形状（テーパ角 θ ）のCF₄流量比依存性

【図 2 6】

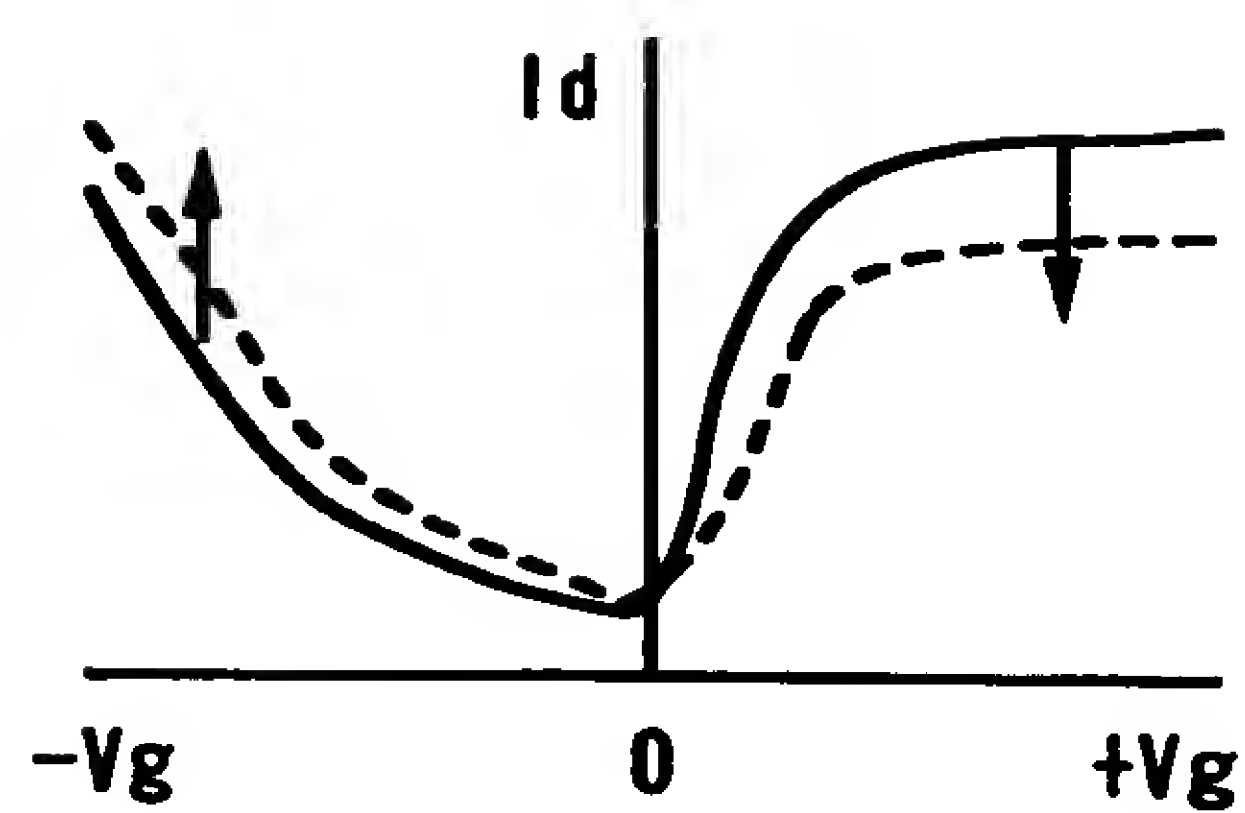


テーパ角 θ の (W/レジスト) 選択比依存性

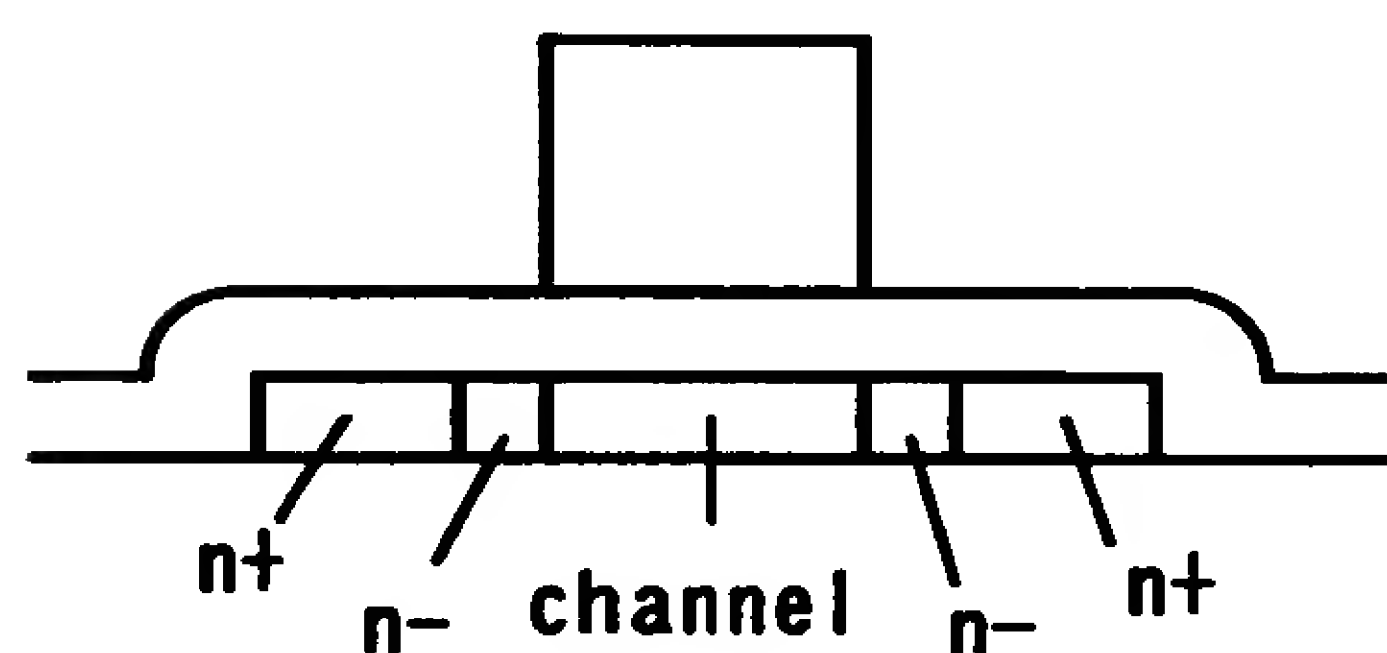
【図 2 7】



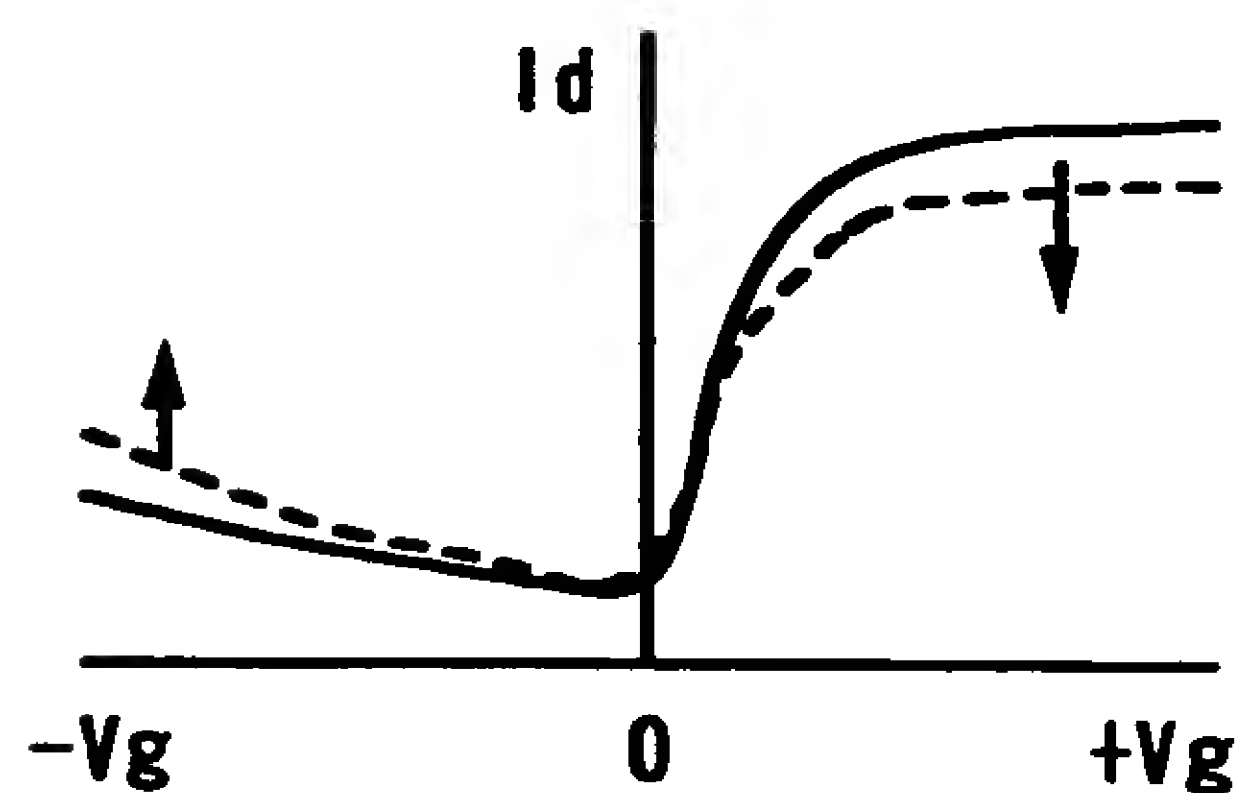
(A)



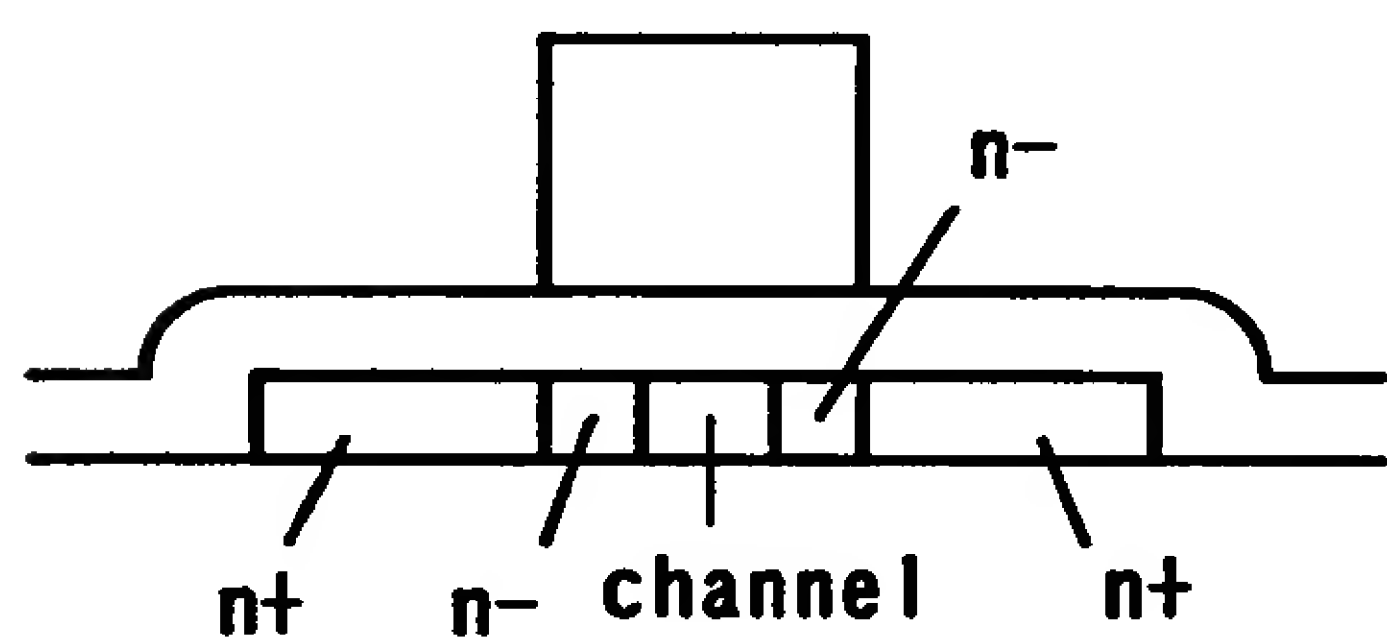
(B)



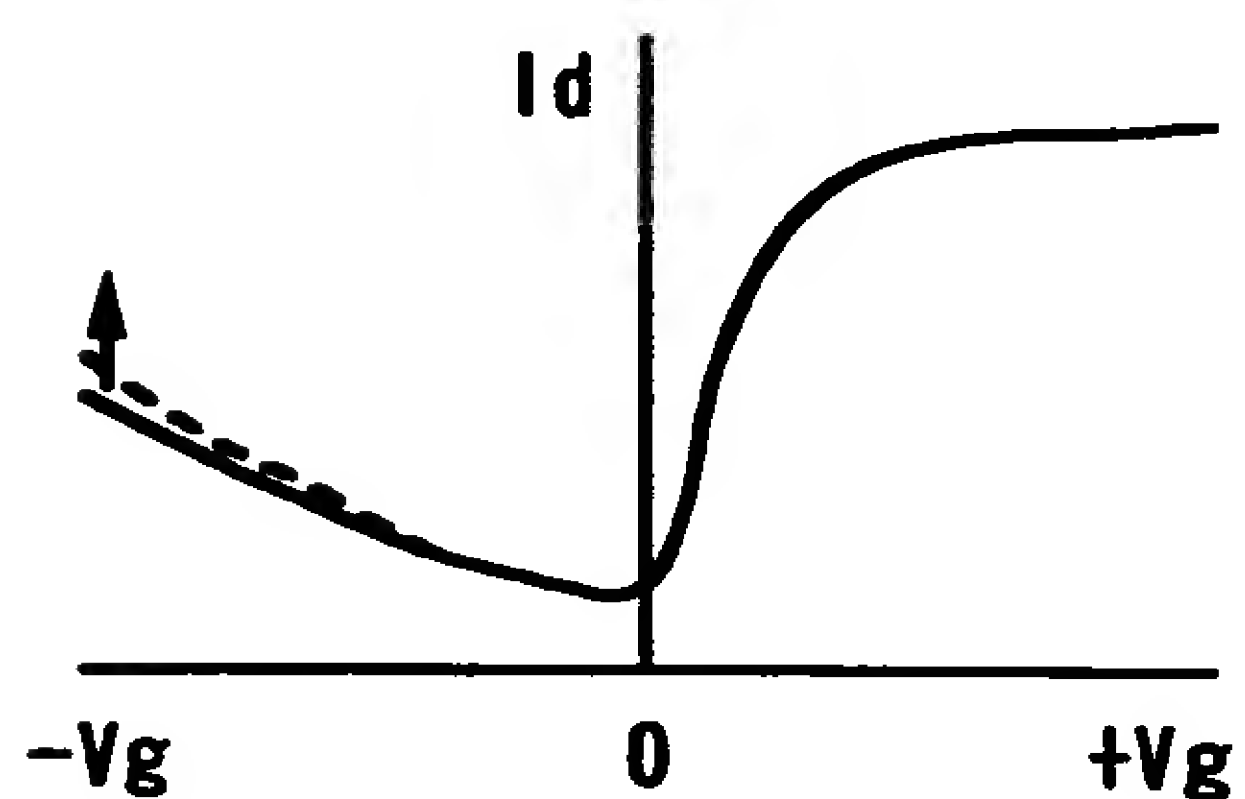
(C)



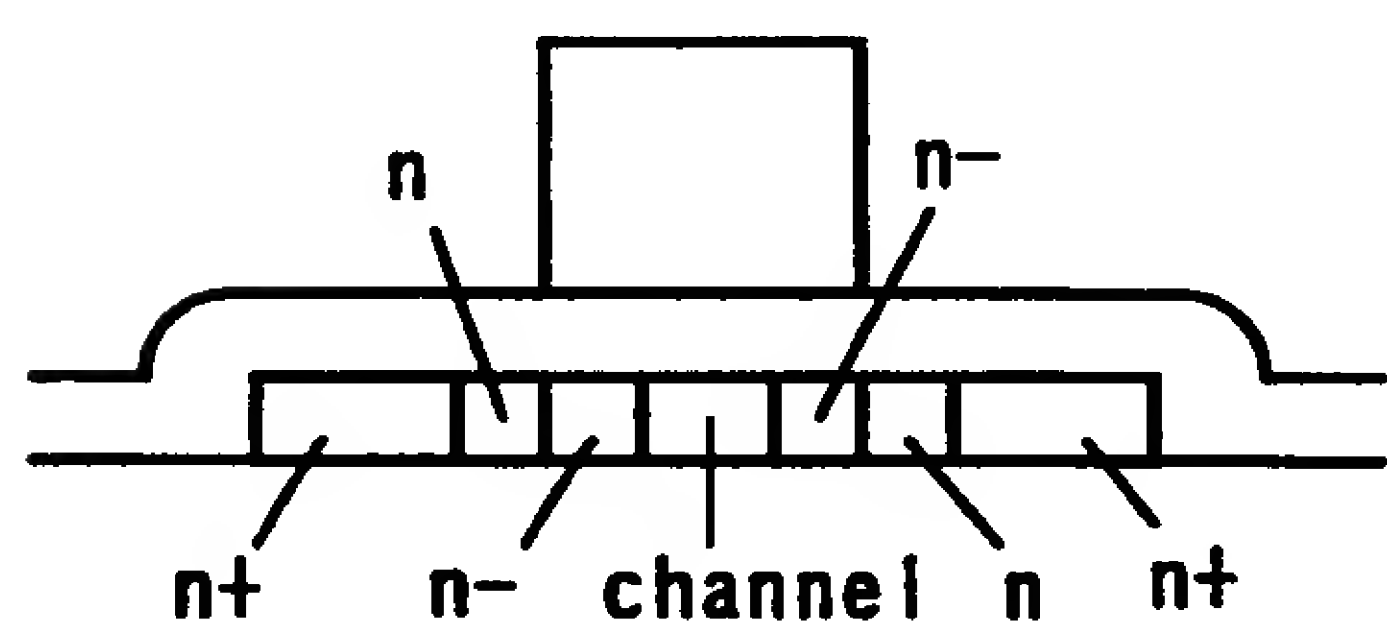
(D)



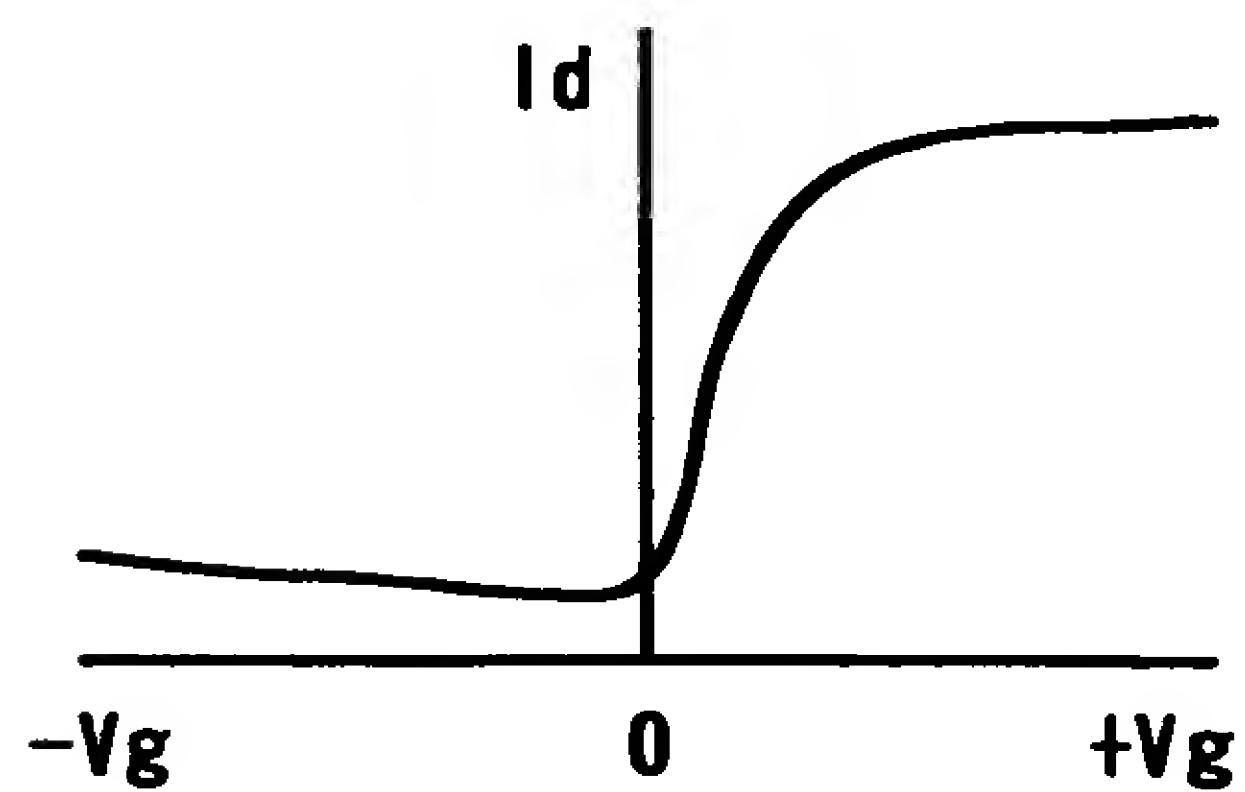
(E)



(F)

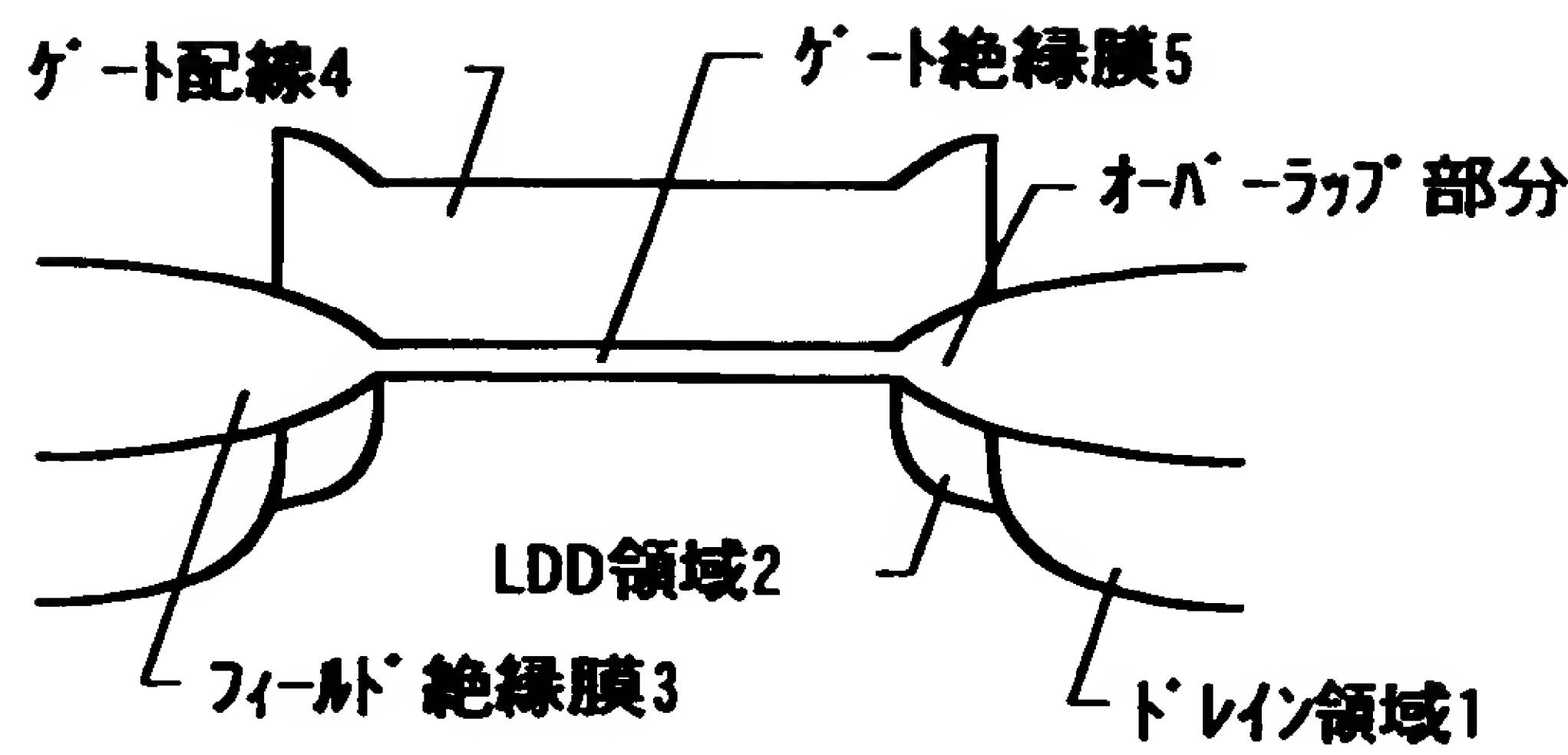


(G)

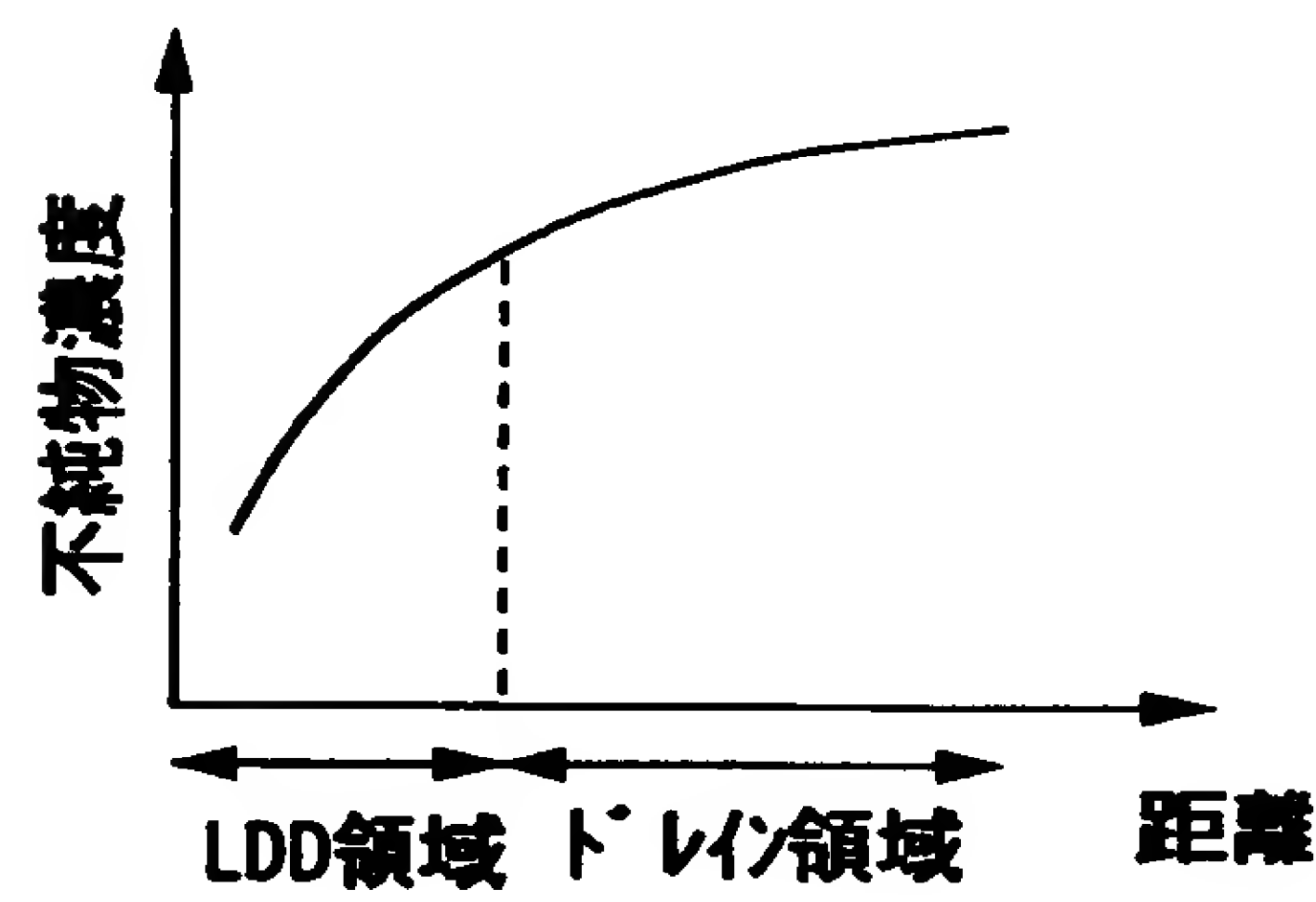


(H)

【図 2 8】



(A) MOSFETの部分断面図 (従来例)



(B)

【書類名】 要約書

【要約】

【課題】 シリコン基板を用いたMOSFETに匹敵する信頼性を有する薄膜トランジスタを作製する。

【解決手段】 ゲート電極はテーパー部を有する第1のゲート電極108と、ゲート電極108よりも幅の狭い第2のゲート電極109でなる。

半導体層には、第1のゲート電極108を介してリンを低濃度にドーピングする。半導体層には、チャネル形成領域121とn+型不純物領域122、123との間に2種類のn-型不純物領域124～127が形成される。

n-型不純物領域124、125はゲート電極とオーバーラップし、n-型不純物領域126、127がゲート電極とオーバーラップしていない。

2種類のn-型不純物領域を形成することにより、オフ電流を低下できると共に、特性の劣化が抑制できる。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [0 0 0 1 5 3 8 7 8]

1. 変更年月日 1 9 9 0 年 8 月 1 7 日
 [変更理由] 新規登録
 住 所 神奈川県厚木市長谷 3 9 8 番地
 氏 名 株式会社半導体エネルギー研究所